



# De l'ingénierie de contacts métalliques aux transistors 3D à grille entourante : Architectures alternatives pour MOS nanométriques

Guilhem Larrieu

## ► To cite this version:

Guilhem Larrieu. De l'ingénierie de contacts métalliques aux transistors 3D à grille entourante : Architectures alternatives pour MOS nanométriques. Micro et nanotechnologies/Microélectronique. Université Toulouse III Paul Sabatier, 2016. tel-01292061

**HAL Id: tel-01292061**

**<https://theses.hal.science/tel-01292061>**

Submitted on 22 Mar 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université  
de Toulouse

# UNIVERSITE DE TOULOUSE III

## Habilitation à Diriger des Recherches

---

### **De l'ingénierie de contacts métalliques aux transistors 3D à grille entourante : Architectures alternatives pour MOS nanométriques.**

**Soutenu le 11 février 2016 par**

**Guilhem LARRIEU**

LAAS-CNRS

#### **Jury :**

Dr. Thomas ERNST, CEA LETI, Grenoble  
Pr. Cristell MANEUX, IMS, Bordeaux  
Pr. Dimitris TSOUKALAS, NTUA, Athènes  
Pr. Frédéric MORANCHO, LAAS-CNRS, Toulouse  
Pr. Adrian IONESCU, EPFL, Lausanne  
Dr. Stéphane MONFRAY, STMicro, Crolles  
Dr. Fuccio CRISTIANO, LAAS-CNRS, Toulouse  
Dr. Liviu Nicu, LAAS-CNRS, Toulouse

Rapporteur  
Rapporteur  
Rapporteur  
Président  
Examineur  
Examineur  
Examineur  
Invité



## SOMMAIRE

---

Préambule .....	5
1 Approche alternative du module S/D : Ségrégation de dopants dans des contacts alliés .....	7
1.1 Position du probleme.....	7
1.2 Ingénierie matériau : modulation de hauteurs de barrière par ségrégation de dopants.....	11
1.2.1 Siliciures à faible hauteur de barrière. ....	11
1.2.2 Concept de modulation de barrière par ségrégation de dopants. ....	14
1.2.3 Ségrégation de dopants sur des contacts de type p. ....	17
1.2.4 Ségrégation de dopants sur des contacts de type n. ....	18
1.3 Intégration de contacts métalliques à l'échelle de dispositifs : .....	22
1.3.1 Développement d'un procédé de transistor à grille métallique nanométrique sur substrat SOI. ....	22
1.3.2 Développement de transistor p-MOSFET à source/drain métalliques.....	24
1.3.3 Développement de transistor n-MOSFET à source/drain métalliques.....	27
1.4 Caractérisations hyperfréquences et de dispositifs logiques élémentaires: .....	31
1.4.1 Caractérisation d'inverseur CMOS à source/drain métallique unique.....	31
1.4.2 Caractérisation hyperfréquence de MOSFETs à source/drain métalliques. ....	35
1.5 Conclusion.....	36
1.6 Selection d'articles.....	36
2 Transistors 3D à nanofils.....	48
2.1 Position du problème et concept:.....	48
2.2 Réalisation de réseau localisé de nanofils.....	50
2.2.1 Approche descendante (top-down).....	50
2.2.2 Approche combinatoire (top-down / bottom-up) .....	53
2.3 Ingénierie de matériaux sur des nanostructures 1D. ....	60
2.3.1 Effondrement de nanostructures par capillarité. ....	61
2.3.2 Oxydation de nano-objets.....	63
2.3.3 Formation d'alliage métallique dans des nanofils.....	65
2.4 Transistors 3D nanométriques : développement et caractérisations.....	67



2.4.1	Contacts S/D .....	67
2.4.2	Ingenierie des couches à l'échelle nano – transistor 3D.....	70
2.4.3	Comportement électrique des dispositifs .....	72
2.5	Conclusion.....	76
2.6	Selection d'articles.....	76
3	Perspectives.....	98
3.1	Transistors 3D à nanofils : approches faiblement énergivores pour le 3nm .....	98
3.2	Développement d'une activité dispositifs à nanofils pour des applications de détection bio/chimiques .....	102
3.2.1	Interface nanofil/neurone pour la mesure intracellulaire de l'activité de neurones individuelles.....	103
3.2.2	Capteurs de gaz 3D à nanofils.....	106
4	Annexes.....	108
4.1	Curriculum vitae .....	108
4.2	Liste bibliographique.....	109
4.3	Activites d'encadrement .....	119
4.4	Travaux d'expertises.....	121
4.5	Valorisation .....	121
5	Biobibliographie .....	124

## PREAMBULE

---

Condenser quinze années de recherche en moins de quatre-vingt pages est un exercice délicat qui demande des choix. J'ai décidé de présenter dans ce mémoire un condensé de mon activité en tant que chargé de recherche entre octobre 2005 et octobre 2015.

J'ai obtenu mon diplôme d'ingénieur à Polytech'Lille en 2000, avec une spécialisation en science des matériaux ainsi qu'un diplôme d'études approfondies (DEA) en microtechnologie et microélectronique cette même année à l'université des sciences de Lille<sup>1</sup>. J'ai passé ma thèse de doctorat en avril 2004 sur la fabrication des transistors à contacts source/drain Schottky à l'IEMN (Villeneuve d'Ascq). Puis, jusqu'en octobre 2005, j'étais chercheur postdoctoral à l'Université du Texas d'Arlington (UTA) dans le groupe du Pr. Meng Tao, travaillant sur le traitement de l'interface oxyde de grille à haute constante diélectrique/silicium par des approches de reconstruction de surface. J'ai intégré le 1<sup>er</sup> octobre 2005 l'Institut d'Electronique de Microélectronique et de Nanotechnologie IEMN (UMR- CNRS 8520) en tant que chargé de recherche CNRS.

Le manuscrit se compose en trois parties : les deux premières concernent les deux grandes périodes autour de la modulation de barrière Schottky par ségrégation de dopant et autour de l'intégration verticale de transistors à nanofils. Enfin la troisième partie détaille mes perspectives de recherche.

La première période a été mise à profit pour réaliser le programme de recherche proposé lors de mon recrutement au CNRS consacré à l'étude de technologie source/drain métallique, avec en particulier le développement de l'approche de ségrégation de dopant pour moduler la hauteur de barrière Schottky. Cette activité, centrale jusqu'en 2009, a ensuite baissé en régime pour s'arrêter en 2011 avec la complète démonstration de la technologie dans des circuits logiques élémentaires.

Un deuxième thème, que j'ai initié en 2008, est consacré à l'intégration générique de dispositifs à effet de champ à base de nanofils verticaux. Basé sur des premiers résultats obtenus à l'IEMN, j'ai effectué une mobilité géographique ainsi que thématique au LAAS-CNRS (UPR-8001) de Toulouse pour y développer un thème de recherche sur la nanoélectronique à base de nanofils.



# 1 APPROCHE ALTERNATIVE DU MODULE S/D : SEGREGATION DE DOPANTS DANS DES CONTACTS ALLIES

---

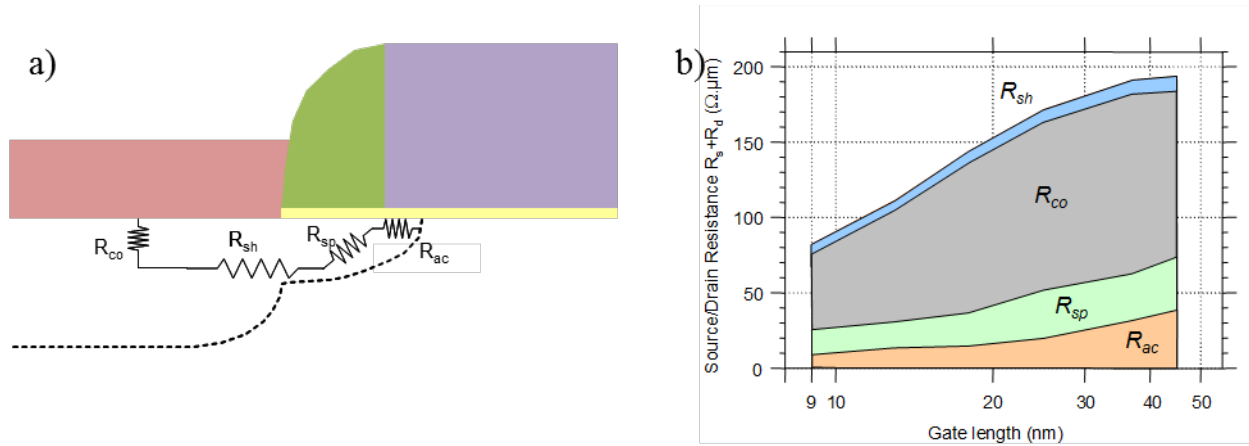
Lors des 40 dernières années, la technologie CMOS a permis une véritable révolution dans le traitement de l'information, sans cesse améliorée grâce à la diminution continue des dimensions des composants. Lors des 10 dernières années, un effort significatif a été porté sur l'étude du transport électronique dans des structures de taille nanométrique afin de poursuivre la diminution des dimensions pour des longueurs de grille avoisinant 10 nm. L'architecture source/drain, au même titre que celle liée à la grille, est un challenge énorme pour la réalisation des générations de longueur de grille inférieure à 40 nm. Les difficultés sont multiples, on peut citer par exemple la réalisation de jonctions ultra courtes avec un contrôle serré de la profondeur d'extension et du gradient des concentrations de dopant ou encore de contacter ces régions avec des matériaux de faibles résistances et de faibles résistances spécifiques de contact.

## 1.1 POSITION DU PROBLEME

---

Quand le courant traverse un des deux terminaux source/drain vers le canal du transistor, la résistance associée (Fig. 1 a) peut être décomposée en quatre contributions résistives <sup>1</sup> : (i)  $R_c$  la résistance de contact, (ii)  $R_{sh}$  la résistance de diffusion de la zone de silicium fortement dopée, (iii)  $R_{sp}$  la résistance de défocalisation et (iv)  $R_{ac}$  la résistance de la couche d'accumulation, ces deux derniers termes étant liés à la répartition des lignes de courants quand les porteurs entrent dans la jonction et dépendent du gradient de dopant et de la polarisation de grille.

Lorsque le transistor est soumis aux règles de miniaturisation, la résistance du canal (qui varie en  $L_g$ ) diminue alors que la résistance série source/drain augmente. A partir de modèles provenant à la fois de Kim et al. <sup>2</sup> et de *MASTAR* <sup>3</sup>, il a été mis en évidence que la résistance de contact ( $R_{co}$ ) était une contribution dominante de la résistance série totale, comme indiqué dans la Fig. 1 b. Il apparaît clairement que la résistance de contact associée à l'interface entre le siliciure et le silicium dopé du contact devient en fin de compte la composante principale de résistance parasite des contacts source / drain.

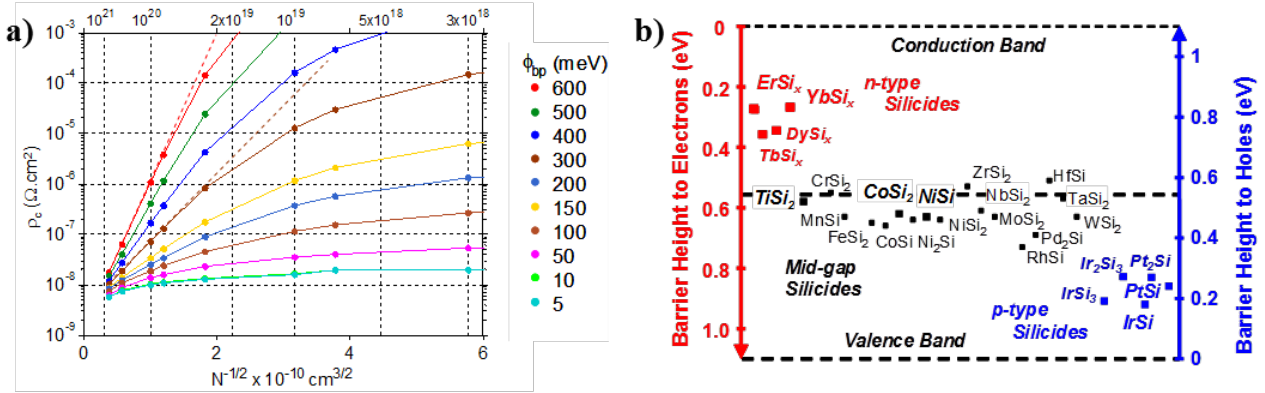


**Fig. 1:** a) Représentation schématique des contributions de résistance associées à l'architecture S / D d'un MOSFET: résistance de contact ( $R_{co}$ ), résistance de diffusion ( $R_{sh}$ ), résistance défocalisation ( $R_{sp}$ ) et résistance d'accumulation ( $R_{ac}$ ). (b) Différentes composantes de la résistance série S/D d'un n MOSFET calculées en utilisant le modèle MASTAR<sup>3</sup> en fonction de la longueur de grille du transistor.

Afin de comprendre le transport du courant à travers l'interface siliciure / semi-conducteur, il est important de noter que l'injection du courant dépend à la fois de la capacité des porteurs à surmonter la hauteur de barrière Schottky (émission thermoionique - TE) et de traverser cette barrière (tunnel ou émission de champ - FE). Des contacts sur silicium fortement dopé sont essentiellement régis par le second mécanisme. Dans ce cas, la résistivité spécifique de contact  $\rho_c$  ( $\Omega \cdot cm^2$ ) peut être correctement évaluée par l'expression suivante <sup>4</sup> :

$$\rho_c \approx \exp\left(\frac{4\pi\sqrt{\varepsilon \cdot m^*}}{h} \cdot \frac{\Phi_b}{\sqrt{N_d}}\right) \quad \text{EQ. 1}$$

où  $\varepsilon$  est la permittivité du semi-conducteur,  $m^*$  la masse effective des porteurs,  $\Phi_b$  la hauteur de barrière,  $h$  la constante de Planck, et  $N_d$  le dopage à l'interface entre le siliciure et le silicium. Cette équation décrit clairement la dépendance exponentielle de  $\rho_c$  avec la hauteur de la barrière et le niveau de dopage. L'émission thermoionique tend à dominer dans les semiconducteurs faiblement dopés. Lorsque la barrière devient suffisamment étroite pour que l'injection par tunnel se produise, l'émission de champ prend la relève de l'émission thermoionique dans la gamme de dopage élevé. Dans la gamme de dopage intermédiaire, le transport peut être également dominé par une émission thermoionique assistée par effet de champ (TFE), où les porteurs excités thermiquement atteignent un niveau d'énergie où la barrière est suffisamment étroite afin que l'émission de champ à travers une barrière d'énergie triangulaire se produise<sup>5</sup>.

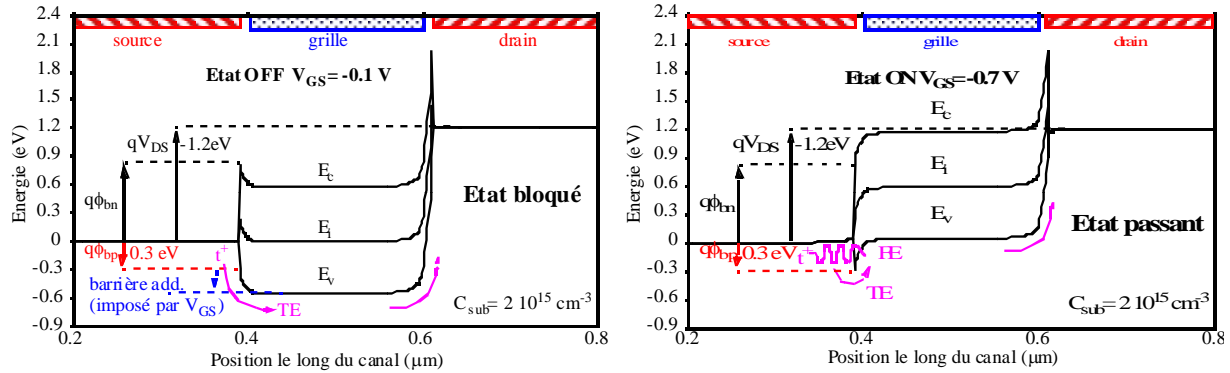


**Fig. 2:** a) : Résistivité spécifique de contact calculée ( $\rho_c$ ) d'une jonction Schottky en fonction du niveau de dopage de silicium de type p pour différentes valeur de hauteur de barrière Schottky. b) Hauteurs de barrière d'électrons (axe de gauche) et de trous (axe de droite) pour différents types d'alliage de silicium.

Jusqu'à présent, les siliciures utilisés pour l'intégration de contact source / drain dans les technologies CMOS disposent d'une fonction de travail verrouillée au milieu du gap du silicium ( $E_g$ ). Pour ces siliciures, comme  $\text{CoSi}_2$ ,  $\text{TiSi}_2$ ,  $\text{NiSi}$ , la hauteur de barrière à l'injection d'électrons (type n) est de l'ordre de  $\phi_{bn} \sim 0.5 - 0.6 \text{ eV}$ . En supposant que les barrières Schottky qui contrôlent l'injection d'électrons et de trous sont complémentaires sur le gap, ie  $(\phi_{bn} + \phi_{bp}) = E_g \sim 1.12 \text{ eV}$  à 300K, il est facile de vérifier que  $\phi_{bp}$  est du même ordre de grandeur. Le principal avantage de cette approche conventionnelle réside dans l'utilisation d'un siliciure unique pour, à la fois, un MOSFET de type n et de type p, conduisant alors à un schéma d'intégration simple du module de source / drain. Bien que la plupart des siliciures à base métaux de transition et de terre rare présentent des caractéristiques Schottky dites de « milieu de gap » comme représenté sur la Fig. 2b, il est intéressant d'observer que certains siliciures disposent d'une hauteur de barrière relativement faible, de type p comme  $\text{PtSi}$ ,  $\text{IrSi}$ , ou de type n comme  $\text{ErSi}_x$ ,  $\text{YbSi}_x$ . Ces siliciures de bord de bande offrent des hauteurs de barrière Schottky d'environ 0.2 eV par rapport à la bande de valence pour les siliciures de type p et d'environ 0.3 eV par rapport à la bande de conduction pour des siliciures de type n. Etant donné que la résistivité de contact spécifique varie de manière exponentielle avec  $\phi_b$  comme explicité dans l'éq.1 et Fig. 2a, la réduction de la hauteur de la barrière fournit un effet de levier supplémentaire pour réduire encore  $\rho_c$ .

Mon projet de recherche d'entrée au CNRS proposait la conception, la fabrication et l'évaluation d'une structure MOS à source/ drain Schottky. Afin de s'affranchir des challenges inhérents à la formation de contacts ohmiques sur des jonctions fortement dopées, le projet propose leurs remplacements par des jonctions siliciurées à très faibles hauteurs de barrières Schottky et de les implémenter dans des dispositifs MOSFETs à grille métallique sur substrat silicium sur isolant (SOI). Cette architecture utilise un film

actif de silicium d'une dizaine de nanomètres complètement déplété. Le mode de fonctionnement est schématiquement représenté en Fig. 3. Lorsque le transistor est bloqué, un porteur doit franchir par effet thermo-électronique une barrière égale à la barrière Schottky du contact plus la contribution due à l'effet de champ développé par la grille. Lorsque le transistor est passant, c'est à dire quand un potentiel de grille permet de décaler les bandes d'énergie vers le haut, un porteur ne doit franchir, par effet thermo-électronique ou tunnel, que la barrière Schottky pour être injecté dans le canal. On comprend aisément que plus cette barrière est faible, plus facile sera l'injection.



**Fig. 3:** Courbure de bande de valence entre source et drain d'un transistor SB-MOS de type p. (a) état bloqué: une large et profonde barrière est développée par l'effet de champ à travers la grille (b) état passant: la courbure de bande au voisinage de la source permet la circulation d'un courant par effet thermoélectronique et par effet tunnel.

Sur la base d'un niveau de performance requis pour un nœud de la technologie défini, il est possible de faire une comparaison entre une architecture S/D conventionnelle à jonction fortement dopée et une architecture à contacts Schottky. Par exemple, Connelly et al.<sup>6</sup> ont simulé le temps de commutation de portes logiques intégrant des CMOS double-grille de 25nm, à la fois avec des contacts Schottky et des contacts S/D fortement dopés. Les simulations montrent que les dispositifs avec des contacts S / D métalliques ayant une barrière de 0.1 eV possèdent des performances comparables à des technologies S / D fortement dopées avec une résistivité de contact de  $3 \times 10^{-8} \Omega \text{ cm}^2$ . Un CMOS « Zero »-barrière Schottky serait alors 50% plus rapide que son équivalent en S / D dopée. Dans ce contexte, il peut être facile de comprendre que la quête de contacts à très faible barrière Schottky (inférieure à 0.1 eV) est la clé pour surperformer les dispositifs conventionnels.

Cette thématique de recherche s'articule autour de 3 axes:

*Ingénierie matériau* : le développement et la complète caractérisation de contacts Schottky de type n et de type p présentant des barrières sub-0.1 eV.

*Intégration de dispositif* : l'intégration des contacts Schottky les plus prometteurs, c'est à dire de très faible hauteur de barrière pour les électrons et pour les trous, dans un dispositif à grille métallique nanométrique sur substrat SOI totalement déplété.

*Caractérisation* : la caractérisation de la technologie Schottky avec la réalisation de circuits logiques élémentaires et de dispositifs MOS optimisés pour la caractérisation hyperfréquence.

## **1.2 INGENIERIE MATERIAU : MODULATION DE HAUTEURS DE BARRIERE PAR SEGREGATION DE DOPANTS**

---

La maîtrise technologique et l'obtention de contacts Schottky présentant une barrière sub-0.1 eV sont une des clés qui permettront aux technologies source/drain Schottky de surpasser les technologies classiques. Pour ce faire, deux phases d'étude se sont succédées : tout d'abord, l'étude de siliciures à faibles hauteurs de barrière (cinétique de réaction, hauteur de barrière) puis le développement de l'approche de ségrégation de dopants à l'interface siliciure/silicium pour moduler la hauteur de barrière.

---

### **1.2.1 SILICIURES A FAIBLE HAUTEUR DE BARRIERE.**

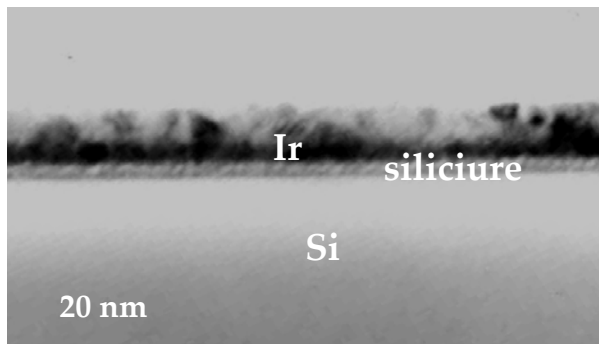
---

Comme ce fut le cas pour le siliciure de platine<sup>7</sup>, une première direction fut de mettre en œuvre un siliciure qui possède une hauteur de barrière intrinsèque (pour les électrons et les trous) la plus faible possible. Les siliciures à base de terre rare sont les candidats les plus prometteurs pour le type n alors que le siliciure d'iridium propose une faible hauteur de barrière pour les trous, potentiellement encore plus faible que le siliciure de platine.

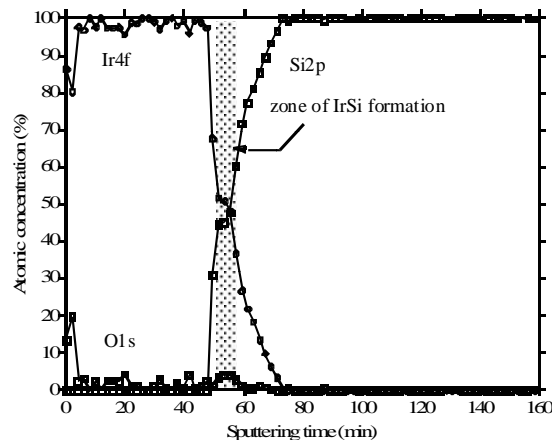
Une étude détaillée<sup>8,9</sup> a été menée sur la complète caractérisation du siliciure d'iridium en termes de stœchiométrie, de cinétique de réaction, de morphologie de couche et de performance électrique. Des analyses de spectrométrie photoélectronique X (XPS) ont permis d'identifier la chimie de réaction de siliciuration. Ces analyses ont pu être complétées par des observations en microscopie électronique en transmission (TEM) pour évaluer la rugosité de l'interface ainsi que l'épaisseur des couches présentes.



Pour illustrer ce point, la coupe TEM d'un siliciure d'iridium obtenu après recuit rapide à 300°C (Fig. 4) fait apparaître une couche de 3 nm environ entre le silicium et le métal. L'analyse XPS de cet échantillon (Fig. 5) permet d'identifier la phase en question (IrSi). A plus haute température, un deuxième siliciure d'iridium a été mis en évidence et sa stœchiométrie clairement identifiée ( $\text{IrSi}_{1.6}$ ). Un modèle basé sur la variation de l'intensité mesurée des spectres d'Ir4f a été utilisé pour obtenir les coefficients cinétiques de réaction de IrSi ( $E_A = 2.48$  eV,  $D_0 = 9$  cm<sup>2</sup>/s). Les sections TEM indiquent que la rugosité d'interface de siliciure/silicium augmente avec l'augmentation de la température du recuit de siliciuration. La caractérisation électrique de contacts de siliciure d'iridium a permis de pointer la température de formation offrant la valeur de résistance de contact la plus faible ( $\sim 0.1$  eV). Néanmoins, le siliciure est extrêmement sensible à l'oxygène rendant son intégration complexe et il n'existe pas de solution chimique capable d'attaquer sélectivement le métal par rapport au siliciure lors d'une intégration de dispositif. Une méthode alternative par attaque plasma a été développée mais n'est pas satisfaisante d'un point de vue d'intégration.



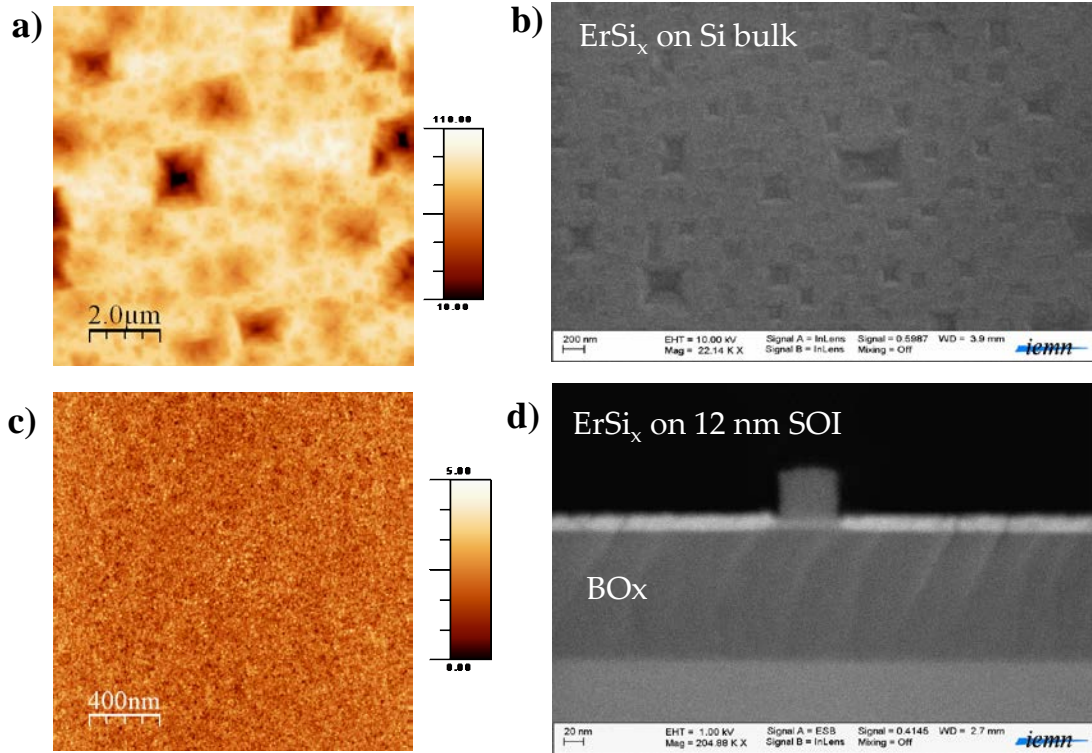
**Fig. 4 :** Section de coupe TEM d'un siliciure d'iridium formé à 300°C par recuit rapide. Un siliciure d'iridium de 3 nm est visible à l'interface Si/Ir.



**Fig. 5:** Profil d'analyse XPS d'un siliciure d'iridium formé à 300°C par recuit rapide. La phase formée est IrSi.

Pour une implémentation de contacts Schottky de type n, des siliciures à très faible hauteur de barrière pour les électrons sont nécessaires. Les candidats les plus prometteurs sont les siliciures à base de terre rare. Ces matériaux très sensibles à l'oxygène seront utilisés sous condition maîtrisée (recuit sous ultra vide dans une chambre d'évaporation et/ou couche de barrière à la diffusion de l'oxygène). Une chambre de recuit sous ultra vide a été couplée à l'enceinte de dépôt métallique afin de réaliser la siliciuration sous vide secondaire et ainsi préserver l'interface de réaction de

toute contamination d'oxygène. Une étude détaillée sur la formation de siliciure d'erbium et d'ytterbium sous ultra vide<sup>10</sup> a été réalisée couplant des analyses chimiques par diffraction des rayons X (XRD) et XPS à des caractérisations électriques des hauteurs de barrières associées. Les analyses structurales du film de Yb-Si ont montré que le siliciure cristallise à une température supérieure à 400°C pour former une phase  $\text{YbSi}_{2-x}$ . Une hauteur de barrière moyenne pour les électrons de 0.32 eV a été extraite entre 420 et 620 °C avec une valeur minimale de 0.29 eV à 520 °C. Une analyse similaire a été effectuée pour le siliciure d'erbium qui cristallise au-dessus de 380°C pour former une phase  $\text{ErSi}_{2-x}$ . Ce même siliciure, réalisé à 520°C, possède une hauteur de barrière de 0.28 eV. Une caractéristique de la croissance de siliciure de terre rare sur silicium massif est la formation de larges défauts structuraux donnant lieu à des films rugueux et peu homogènes. Une analyse par microscopie à force atomique (AFM) et microscopie électronique à balayage (MEB) d'une couche de siliciure d'erbium sur substrat massif est donnée à titre d'exemple, **Fig. 6 a** et **Fig. 6 b**, respectivement. Le mécanisme de formation de trous de forme rectangulaire dont les bords sont orientés suivant les directions  $[110]/[1-10]$  est basé sur une nucléation non homogène du siliciure avec une sur-diffusion latérale du silicium<sup>11</sup>. Pour la première fois, il a été démontré que ce phénomène n'existe pas lors de la formation de siliciure sur un substrat SOI ultra fin du fait d'une réserve de silicium limitée<sup>11</sup>. Le film obtenu est homogène et de rugosité très faible (**Fig. 6 c** et **Fig. 6 d**). Il a été aussi observé que l'intégrité du canal sous la grille était préservée (**Fig. 6 d**) indiquant que le silicium n'est pas latéralement pompé lors de la réaction de siliciuration. Enfin, un procédé de retrait sélectif original basé sur une solution sans peroxyde a été mis au point<sup>11</sup> en vue de l'intégration de tels contacts dans un dispositif MOSFET.



**Fig. 6 :** a) Image de la topographie de surface par AFM et b) image de la surface par MEB d'une couche de siliciure d'erbium sur substrat massif. c) Image de la topographie de surface par AFM et d) image en coupe d'un même couche de siliciure d'erbium sur substrat SOI.

## 1.2.2 CONCEPT DE MODULATION DE BARRIERE PAR SEGREGATION DE DOPANTS.

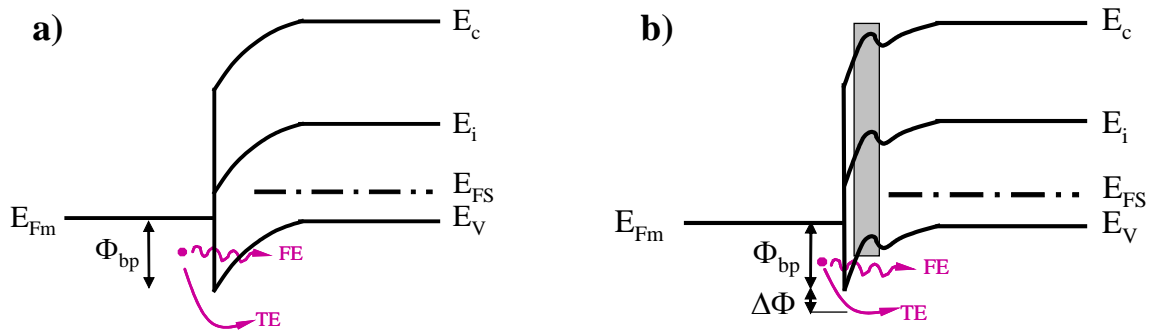
### 1.2.2.1 Vers des hauteurs de barrière sub-0.1eV.

Comme reporté dans la partie introductive, des approches de modélisation ont établi que la hauteur de la barrière ne doit pas dépasser 0.1 eV afin de positionner l'architecture SB-MOSFET avantageusement par rapport à une technologie conventionnelle<sup>6</sup>. Pour atteindre cet objectif, plusieurs techniques ont été proposées pour défaire le verrouillage du niveau de Fermi qui régit la hauteur de la barrière. Une première approche est basée sur la reconstruction de la surface (100) de semi-conducteurs grâce à des passivations à base de monocouche de sélénium<sup>12</sup>. Une autre approche propose de bloquer la formation d'états induits par le métal dans le gap (Metal-Induced Gap States MIGS), qui sont invoqués comme à l'origine du verrouillage du niveau de Fermi, en intercalant un isolant ultra-mince entre le métal et le silicium<sup>6</sup>. Bien que l'efficacité de ces méthodes ait été partiellement démontrée sur des structures de test, leur implémentation dans un procédé MOSFET auto-alignée reste un exercice

difficile. Plus récemment, en utilisant le concept de ségrégation de dopant, il a été démontré qu'une accumulation de dopant à l'interface métal / semi-conducteur pouvait induire une réduction de hauteur de barrière Schottky via un budget thermique réduit<sup>13,14</sup>.

### 1.2.2.2 Mécanismes d'injection et implémentation.

Le mécanisme en question, appelé ségrégation de dopants, consiste à implanter des dopants puis les faire diffuser jusqu'à l'interface par une activation thermique à faible budget thermique. Parce que ce dernier est relativement limité, la diffusion en profondeur des dopants est circonscrite atténuant les problèmes associés à la formation de jonctions ultra-minces. Une barrière Schottky fait référence à un contact métal/semi-conducteur où la barrière de potentiel à leur interface peut être représentée par un diagramme de bande d'énergie schématisé **Fig. 7a**. Pour être injecté du métal vers le semi-conducteur, un porteur peut traverser à travers la barrière par effet de champ ou sauter au-dessus de cette barrière par émission thermoélectronique. Le rôle de la ségrégation de dopants à l'interface siliciure/silicium est d'améliorer l'injection de porteurs.

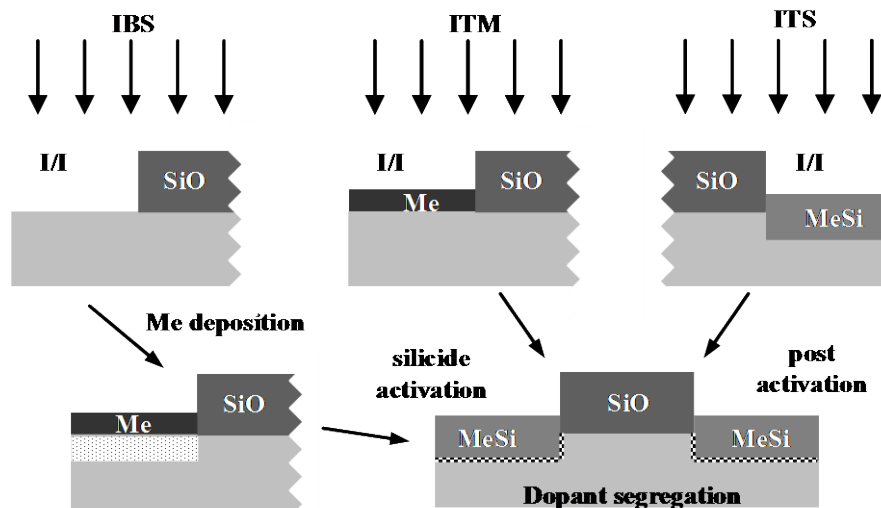


*Fig. 7 : Représentation schématisée de la courbure de bande au voisinage de l'interface métal/silicium sans (gauche) et avec (droite) ségrégation de dopant.*

Il est généralement admis que la couche de dopants dans le silicium forme un dipôle avec une charge d'image de signe opposé du côté métallique. Le mécanisme physique exact régissant cette approche de dipôle est encore sujet à débat. Bien que la ségrégation de dopant soit généralement conduite à une température relativement basse, on peut supposer qu'une fraction de dopants soit néanmoins incorporée dans des sites substitutionnel de silicium et deviennent actifs. Basé sur des principes premiers de calculs (ab initio)<sup>15</sup>, d'autres approches théoriques suggèrent que des dopants sur des sites de substitutionnel de silicium induisent des dipôles locaux qui modifient l'amplitude de la hauteur de barrière Schottky. Dans tous les cas, l'électrostatique résultant du dipôle induit de cette ségrégation de dopant est censée dominer le verrouillage du niveau de Fermi<sup>16</sup> et modifier localement la courbure de bande (**Fig. 7**

b). En conséquence, il constitue un levier efficace pour moduler à la fois la hauteur et la largeur de barrière Schottky. La barrière alors amincie favorise l'injection tunnel alors que l'abaissement de barrière améliore l'injection thermoélectronique.

Une jonction à ségrégation de dopants peut être fabriquée suivant trois modes de réalisation, décrits **Fig. 8**: i) implantation dans le silicium suivie par le dépôt de métal et le recuit de siliciuration, appelée implantation avant le siliciure (*implantation-before-silicide*: IBS), ii) implantation dans le métal (*implantation-through-metal*: ITM) suivie de la siliciuration et finalement iii) implantation dans le siliciure (*implantation-through-silicide*: ITS) suivie d'une étape d'activation à basse température. Suivant les deux premières techniques, les impuretés implantées diffusent et ségrégent simultanément avec la formation du siliciure alors que dans le troisième mode de réalisation, les éléments ségrégent lors d'une seconde étape de recuit, après la formation du siliciure. L'avantage potentiel de ces deux dernières techniques est l'absence de génération de défauts dans le silicium lors de l'implantation car les dopants sont confinés dans le siliciure ou le métal. La région proche de la jonction est donc sans défauts cristallins laissant présager de faible courant de fuite.



**Fig. 8** : Illustration schématique des trois modes de réalisation de jonctions à ségrégation de dopants: i) implantation dans le silicium suivie par le dépôt de métal et le recuit de siliciuration, appelé implantation avant le siliciure (*implantation-before-silicide*: IBS), ii) implantation dans le métal (*implantation-through-metal*: ITM) suivie de la siliciuration et finalement iii) implantation dans le siliciure (*implantation-through-silicide*: ITS) suivie d'une étape d'activation à basse température.

### 1.2.2.3 Première approche de ségrégation de dopant.

Tout d'abord, R. Thornton en 1981 introduit le concept de ségrégation de dopant<sup>17</sup>, avec une approche d'implantation avant siliciuration (IBS). En utilisant une

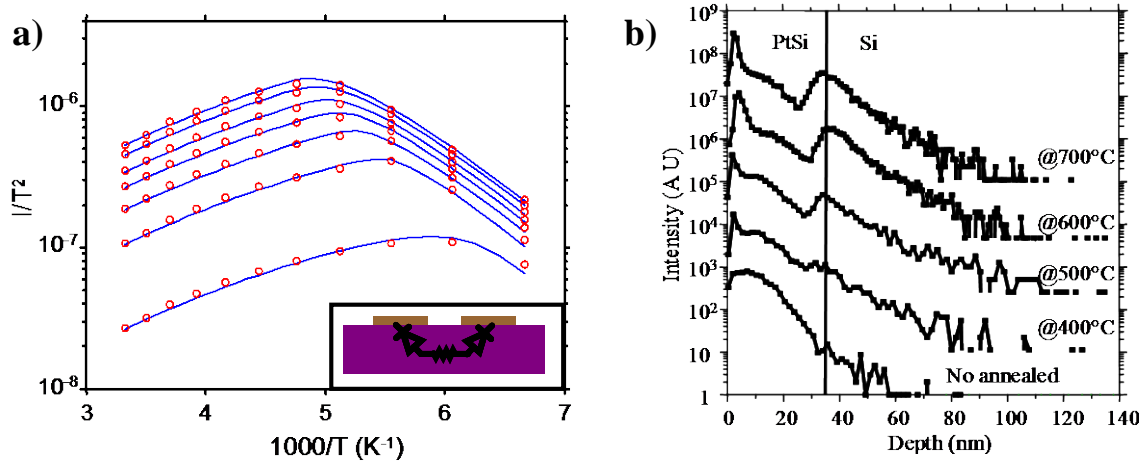
couche mince interfaciale de type p, il a démontré une élévation de la hauteur de la barrière sur contacts Schottky en PtSi sur silicium de type n. La couche de type p est formée par implantation ionique de faible profondeur, suivie d'une accumulation à l'interface métal-silicium lorsque le siliciure est formé. Ensuite, Horiuchi et Yamaguchi ont proposé d'implanter directement dans un métal réfractaire (Ti, W ou Pd) et d'induire la ségrégation au cours de l'étape de siliciuration<sup>18</sup>. Nagasawa a essayé la même approche en utilisant du molybdène<sup>19</sup>. Le concept de diffusion de dopant dans le siliciure a été introduit par Shone et al. en 1985<sup>20</sup>, où les dopants ont été implantés dans du siliciure de tungstène (WSi<sub>2</sub>) et puis ségrégés par une étape de recuit. La diffusion après implantation dans le métal et le siliciure a également été étudiée en utilisant CoSi<sub>2</sub><sup>21</sup> ou PtSi<sup>13</sup>.

### 1.2.3 SEGREGATION DE DOPANTS SUR DES CONTACTS DE TYPE P.

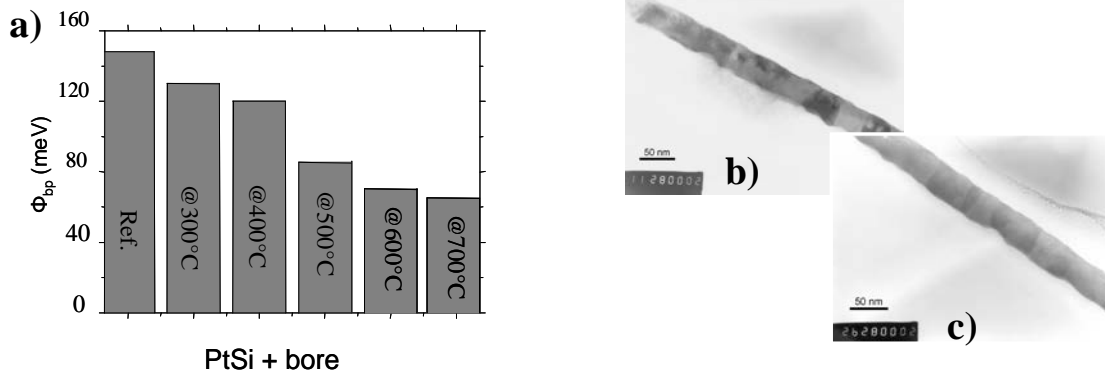
L'association de dopants de type p (accepteurs) à des siliciures à faible hauteur de barrière pour les trous (PtSi par exemple) apparaît comme une approche naturelle et physiquement crédible. Les conditions d'implantation ont été optimisées par simulation Monte Carlo (TRIM<sup>22</sup>) puis validées par analyses Spectrométrie de Masse d'Ions Secondaires (Secondary Ion Mass Spectrometry, SIMS). Par exemple, une implantation de BF<sub>2</sub><sup>+</sup> à 20kV avec une dose de 10<sup>15</sup> cm<sup>-3</sup> permet le confinement de la majorité des dopants dans un film de 40 nm de PtSi. Les échantillons ont été caractérisés par SIMS afin d'identifier la ségrégation des dopants à l'interface siliciure/silicium. L'impact du procédé sur la hauteur de barrière a ensuite été analysé en utilisant une structure de test électrique inédite (encart **Fig. 9a**) composée de deux contacts Schottky identiques séparés par gap de silicium micrométrique. Les caractéristiques I(V) en fonction de la température (**Fig. 9a**) peuvent être corrélées à un modèle électrique prenant en compte l'injection thermoélectronique et par effet de champ<sup>23</sup>. Il est ainsi possible d'extraire la valeur de la hauteur de barrière (ie.  $\Phi_{bp}=0.15$  eV pour un contact PtSi classique). Les **Fig. 9b** et **Fig. 10a** présentent le profil SIMS et la hauteur de barrière associée d'un contact PtSi obtenu après implantation dans le siliciure et activé par différents budgets thermiques. Il apparaît clairement que dès 400°C, une ségrégation de dopant est visible avec un impact plus significatif sur la hauteur de barrière ( $\Phi_{bp}=0.12$  eV). La diffusion du bore dans le siliciure est nettement plus grande que dans le silicium ce qui permet une diffusion rapide des dopants dans le siliciure jusqu'à l'interface siliciure/silicium où intervient une accumulation de dopants, même à température modérée. Un recuit post-implantation à 500°C pendant 5 min entraîne une ségrégation de dopants à l'interface encore plus nette<sup>24</sup> avec une hauteur de barrière associée inférieure à la valeur cible de 0.1 eV. Des coupes TEM, réalisées sur ces échantillons (**Fig. 10 b-c**), n'ont pas révélé d'évolutions notables de la morphologie de la couche de siliciure après implantation et traitement thermique. L'épaisseur de la couche (38 nm), la rugosité de l'interface et la



taille des grains restent inchangées. La deuxième approche investiguée, implantation dans le métal (ITM), est moins prometteuse car ce schéma semble provoquer une exo diffusion très importante des dopants en dehors du contact entraînant une perte de dose conséquente (75%). La ségrégation de dopant est alors très minime et l'impact sur la hauteur de barrière reste modéré ( $\Phi_{bp}=0.13$  eV).



**Fig. 9:** a) Caractéristiques  $I(V)$  en fonction de la température (tracé d'Arrhénius) sur des contacts de PtSi. Les mesures expérimentales (rouge) peuvent être corrélées à un modèle électrique (bleu) prenant en compte l'injection thermo-electronique et par effet de champ (avec  $\Phi_{bp}=0.15$  eV). En encart, la structure de test électrique composée de deux contacts Schottky identiques séparés par un gap de silicium. b) Profil SIMS d'un contact de PtSi obtenu par ITS - implantation de  $BF_2^+$  dans 35 nm PtSi puis activation thermique pendant 5 min à différentes températures.

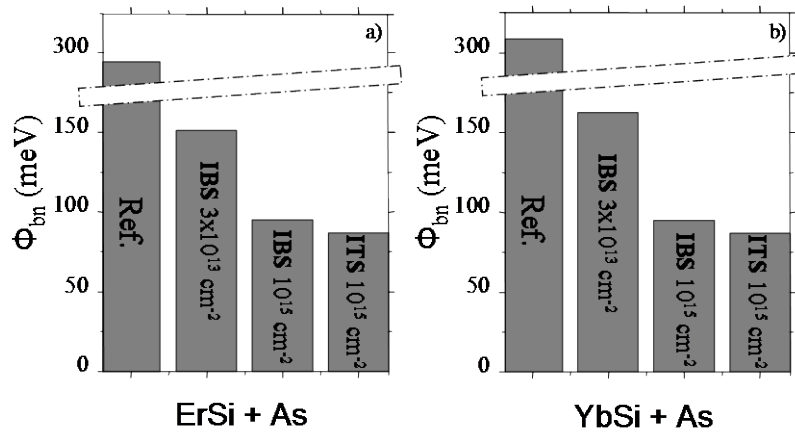


**Fig. 10:** a) Variation de la hauteur de barrière Schottky fonction de la température d'activation ITS. Sections de coupe TEM d'un siliciure de platine (b) et d'un même siliciure après ITS (c) avec une activation thermique à 500°C, 5 min. Aucun changement de morphologie n'est à noter.

#### 1.2.4 SEGREGATION DE DOPANTS SUR DES CONTACTS DE TYPE N.

De la même manière que pour le type p, l'association de dopants de type n (donneurs) à des siliciures à faibles hauteurs de barrière pour les électrons ( $ErSi_{1.7}$ ,  $YbSi_{1.8}$

par ex.) apparaît comme une approche naturelle. La ségrégation de dopants sur des siliciures à base de terre rare n'avait, jusqu'alors, jamais été évaluée. Afin de tenir compte des spécificités de la formation de ces siliciures (sensibilité à l'oxygène), l'implantation a été réalisée avant la formation du siliciure (IBS) ou dans le siliciure (ITS) puis activée dans une chambre sous ultra vide. La **Fig. 11**, présente un résumé des hauteurs de barrière pour les électrons extraites sur des contacts en  $\text{ErSi}_x$  (**Fig. 11a**) et  $\text{YbSi}_x$  (**Fig. 11b**) avec une ségrégation d'arsenic. A titre de comparaison, la hauteur de barrière extraite sur un contact non ségrégué est de 0.28 eV et 0.32 eV pour  $\text{ErSi}_x$  et  $\text{YbSi}_x$ , respectivement. Les effets de la ségrégation de dopants sur la hauteur de barrière semblent être indépendants du matériau considéré puisque la même tendance est observée avec un contact à base d'erbium ou ytterbium. Même avec une faible dose ( $3 \times 10^{13} \text{ cm}^{-2}$ ), une ségrégation d'arsenic obtenue par IBS entraîne une réduction de barrière de plus de 50% et l'utilisation d'une dose plus élevée ( $10^{15} \text{ cm}^{-2}$ ) permet d'abaisser la barrière sous la barre des 0.1eV. Enfin, l'approche ITS avec une dose d'As de  $10^{15} \text{ cm}^{-2}$  et un recuit d'activation de 500°C sous UHV permet d'abaisser la barrière sous 80 meV.

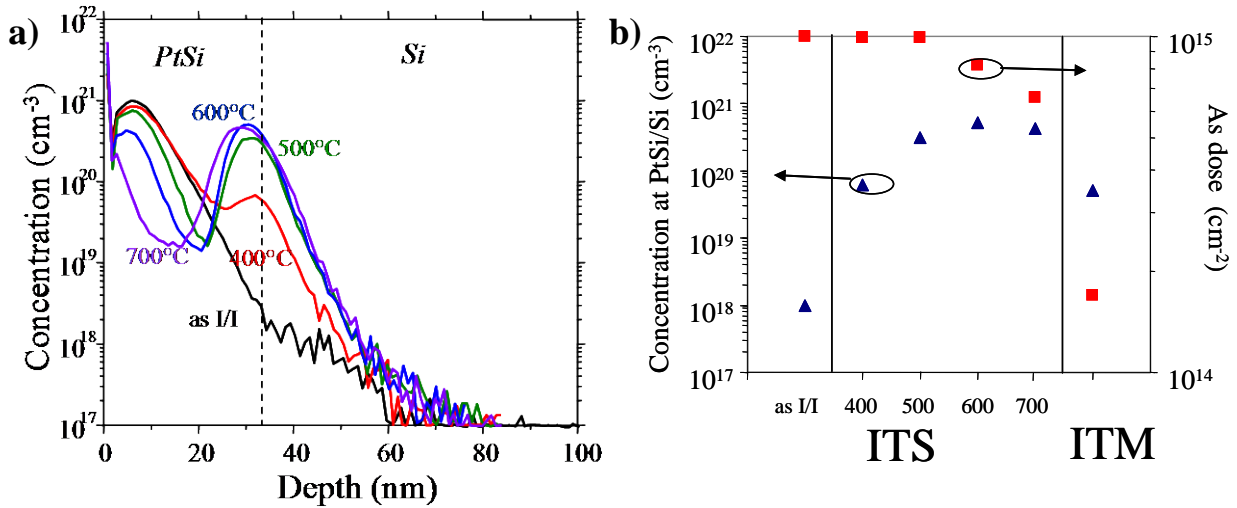


**Fig. 11** : Résumé des hauteurs de barrière pour les électrons extraites sur des contacts en a)  $\text{ErSi}_x$  et b)  $\text{YbSi}_x$  avec une ségrégation d'arsenic

Comme nous venons de le voir, l'association de dopants de type donneurs avec un siliciure bord de bande de conduction (e.g.  $\text{ErSi}_{1.7}$ ,  $\text{YbSi}_{1.8}$ ) est combinaison évidente. Néanmoins, la formation de siliciure à base de terre rare est très délicate avec une très grande sensibilité avec l'oxygène, une grande réactivité avec les diélectriques et une mauvaise stabilité en température. Par opposition, le siliciure de platine,  $\text{PtSi}$ , est un alliage beaucoup plus stable et qui possède naturellement une faible barrière Schottky pour les trous (proche de la bande de valence). Alors,  $\text{PtSi}$  semble, en principe, être un médiocre candidat pour produire une très faible barrière Schottky aux électrons. Néanmoins, l'association de  $\text{PtSi}$  avec des dopants de type donneurs s'est révélée être particulièrement pertinente. La **Fig.12a** présente les profils d'arsenic obtenus sur des



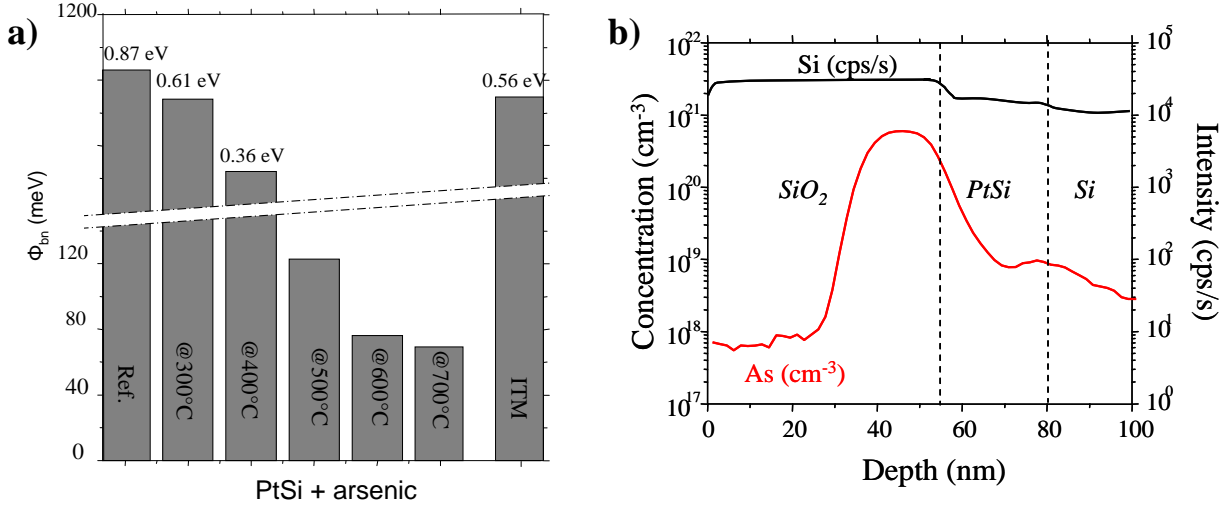
échantillons ITS. Après implantation, le pic d'arsenic est situé dans la partie haute du film de siliciure et la quasi-totalité de la dose est confinée dans le siliciure. La ségrégation est activée par des recuits rapides pour des températures variant de 400°C à 700°C. A 400°C, l'As diffuse dans la couche et commence à s'accumuler à l'interface PtSi/Si. A 500°C, la ségrégation de dopant est visible et c'est d'autant plus vrai pour des températures supérieures mais sans un effet exponentiel. La **Fig.12b** propose l'évolution de la concentration As à l'interface PtSi/Si et de la dose totale dans les différents échantillons. Un recuit d'activation, même à température modérée (400°C) entraîne une augmentation drastique du pic d'arsenic à l'interface siliciure/silicium, passant de  $1 \times 10^{18} \text{ cm}^{-3}$  sans activation à  $6 \times 10^{19} \text{ cm}^{-3}$  à 400°C pour enfin saturer autour de  $4 \times 10^{20} \text{ cm}^{-3}$  à partir de 500°C. La dose totale implantée reste totalement dans l'échantillon pour des recuits jusqu'à 500°C puis pour des températures plus élevées, une faible perte de dose est observée due à une exo diffusion des dopants vers la surface du siliciure accentuée par la température. Comme prévu, une large hauteur de barrière aux électrons de 0.87 eV est mesurée sur un contact de PtSi sans ségrégation (**Fig. 13 a**). L'impact de l'accumulation de dopants à l'interface PtSi/Si sur la hauteur de barrière du contact est très significatif. Alors qu'une température d'activation de 300°C offre une hauteur de barrière de 0.61 eV, une augmentation de la température de recuit de 100°C permet une réduction de la hauteur de barrière de 50% de plus. Enfin, cette barrière chute en dessous de 80 meV pour une activation à 600°C et 70 meV pour une activation à 700°C.



**Fig.12 :** a) Profil SIMS d'un contact de PtSi obtenu par ITS - implantation de As+ dans 35 nm PtSi puis activation thermique pendant 5 min à différentes températures. b) Evolution de la concentration As à l'interface PtSi/Si et de la dose totale dans l'échantillon pour un procédé ITS (fonction de la température d'activation) et un procédé ITM.

Concernant l'approche ITM, il a été relevé une perte de dose extrêmement élevée (86%) correspondant à une dose restante dans l'échantillon de  $1.4 \times 10^{14} \text{ cm}^{-2}$ .

L'accumulation de dopants à l'interface siliciure / silicium est alors bien moins prononcée que dans l'approche ITS, ce qui induit une réduction modérée de la hauteur de barrière (0.67 eV). Ce phénomène a déjà été observé pour la ségrégation de bore avec une perte de dose similaire (75%).



**Fig. 13 :** a) Variation de la hauteur de barrière Schottky fonction de la température d'activation ITS. b) Profil SIMS d'un contact de PtSi obtenu par ITM - implantation de As<sup>+</sup> dans le Pt avec une encapsulation d'oxyde.

Dans l'approche ITM, les mécanismes de diffusion sont bien plus complexes que dans le cas de l'ITS. Lors de la réaction de siliciuration, le platine, le silicium et l'arsenic peuvent diffuser en même temps. Comme les dopants sont la plus petite espèce mise en jeu, le front de siliciuration semble diriger le mécanisme d'accumulation. Lors de la siliciuration du platine, la première réaction est une diffusion du Pt dans le Si pour former le composé intermédiaire Pt<sub>2</sub>Si, alors que dans la seconde réaction, Si diffuse dans le Pt<sub>2</sub>Si pour former le composé stable PtSi. Ces deux réactions sont connues pour se produire successivement<sup>7</sup>: la réaction (1) nécessite la complète consommation de la couche de platine initiale avant que la réaction (2) ne débute. Lors de la seconde réaction, le front de siliciuration commence de l'interface siliciure/silicium pour finir à la surface supérieure du contact. Il est suggéré que le front de réaction entraîne les impuretés à la surface supérieure puis les repousse en dehors du contact. Ce type de mécanisme n'est pas lié à une diffusion conventionnelle gouvernée par la température puisque dans l'approche ITS, même à haute température, la quasi-totalité de la dose est toujours présente dans le contact. Pour valider ces hypothèses, un empilement inédit faisant intervenir l'approche ITM a été analysé par SIMS (**Fig. 13 b**). Après dépôt de Pt et implantation As, 50 nm de SiO<sub>2</sub> a été déposé afin d'encapsuler le métal. La siliciuration est alors effectuée comme dans les précédents exemples. Comme spéculé, une grande

majorité de dopants sont poussés hors de la couche de PtSi et se retrouvent prisonniers dans la couche de protection en oxyde.

Ainsi, ces expérimentations démontrent la possibilité de la modulation de hauteur de barrière Schottky sous la barre des 0.1eV pour les trous et les électrons grâce à une ségrégation de dopant à faible budget thermique.

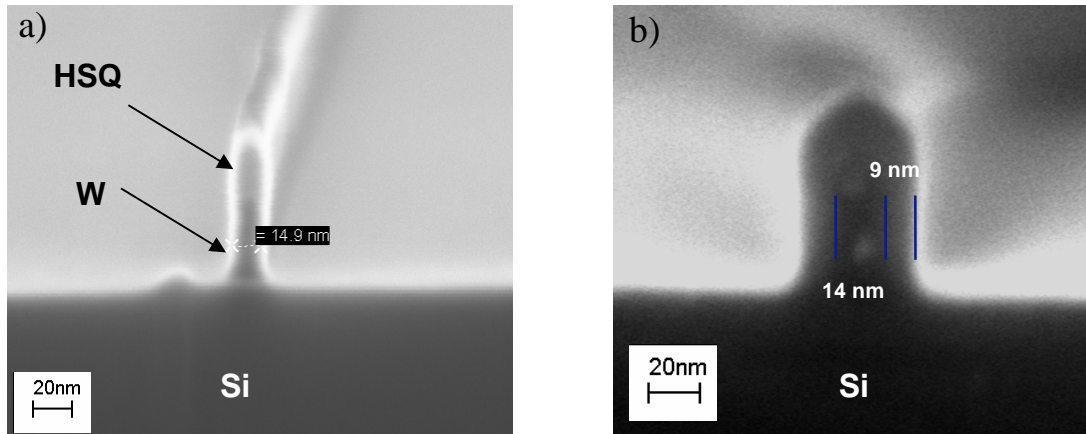
### 1.3 INTEGRATION DE CONTACTS METALLIQUES A L'ECHELLE DE DISPOSITIFS :

---

#### 1.3.1 DEVELOPPEMENT D'UN PROCEDE DE TRANSISTOR A GRILLE METALLIQUE NANOMETRIQUE SUR SUBSTRAT SOI.

---

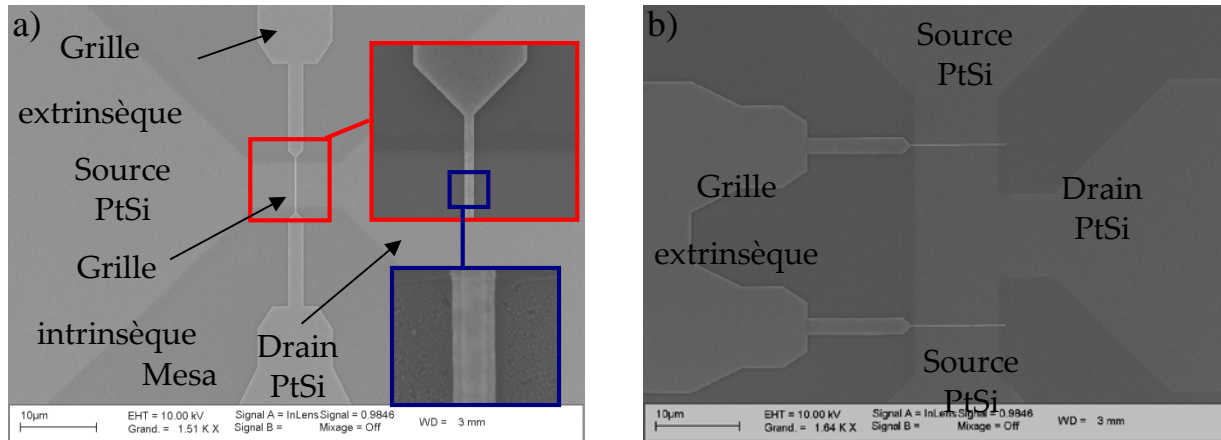
Une attention particulière a été portée sur le développement du module de grille pour améliorer la reproductibilité de cette étape tout en diminuant encore les dimensions afin de réaliser une grille métallique de longueur inférieure à 20 nm sur substrat SOI. Un travail certain a été entrepris sur les différentes étapes du module de grille (gravure, dépôt, lithographie permettant la définition de la grille). Le choix du métal de grille (tungstène) permet de travailler avec une tension de seuil particulièrement bien adaptée pour des dispositifs n-MOS et p-MOS avancés et de ne pas être limité par les températures des traitements thermiques. Un oxyde de grille ( $\text{SiO}_2$ ) inférieur à 2 nm offre des courants de fuites qui ne détériorent pas le fonctionnement du transistor. Une résine électronique négative (HSQ) permet de réaliser des lignes de haute définition afin d'être utilisée comme masque de gravure. L'optimisation de cette étape, avec notamment une correction des effets de proximité qui intègrent les effets des électrons directs et retro-diffusés, a permis l'obtention d'une dose optimale pour un large panel de dimension de grille (de 15 nm à 5  $\mu\text{m}$ ). Un exemple de résultat obtenu après gravure du tungstène est présenté **Fig. 14a** avec la réalisation d'une grille de tungstène de 14 nm de large pour une hauteur de 70 nm. Les choix judicieux des gaz de gravure ( $\text{SF}_6/\text{N}_2$ )<sup>25</sup> et des paramètres de l'attaque plasma RIE (faible pression, puissance modérée) assurent l'obtention de profils de grille verticaux et d'une fin d'attaque parfaitement maîtrisée. L'utilisation d'un nitrure PECVD forme, après gravure anisotrope, des espaceurs ultra minces (10 nm) sans dégrader le métal de grille (**Fig. 14b**). Le procédé d'encapsulation du tungstène assure une parfaite protection contre les gravures chimiques.



*Fig. 14 : Coupe MEB a) d'une grille de transistor en tungstène de 14 nm de large et b) d'une grille de transistor en tungstène de 14 nm de large, encapsulée par deux espaceurs de nitrure de largeur inférieure à 10 nm.*

Pour obtenir une complète évaluation de l'architecture source/drain Schottky, des dispositifs optimisés pour des caractérisations statiques et radio fréquences ont été développés. Des transistors de longueurs de grille ( $L_g$ ) variant de 15 nm à 5  $\mu\text{m}$  avec des largeurs de grille ( $W$ ) de 10  $\mu\text{m}$  à 100 nm sont réalisés (**Fig. 15a**) afin d'évaluer les différents contacts développés dans l'étude matériau puis de positionner les performances statiques des dispositifs par rapport à l'état de l'art ( $I_{on}$ ,  $I_{off}$ , pente sous le seuil, effet canaux court DIBL, transconductance ...).

D'autre part, une des caractéristiques d'intérêt de ce type de dispositif est liée au non-recouvrement des zones source/drain par la grille et de son interface métal/semiconducteur abrupte. Cette configuration lui offre un avantage substantiel<sup>26</sup> sur la minimisation des capacités de recouvrement, en particulier sur la capacité grille-drain (capacité Miller) qui impacte fortement les performances en fréquence maximum d'oscillation. De plus, l'interface siliciure/Si atomiquement abrupte permet d'optimiser les résistances d'accès. Des structures optimisées du point de vue hyperfréquence ont été développées afin de démontrer l'avantage de l'architecture source/drain Schottky. Il existe un large choix de structures RF à largeur et longueur de grille variable, à source ou grille commune. Dans un premier temps, une technologie à deux niveaux de métal est développée (métal 1 : grille tungstène et S/D siliciure, métal 2 : plot d'épaissement Ti/Al pour contact avec des pointes coplanaires RF). Dans cette configuration, un maximum de deux doigts de grille peut être mis en parallèle (**Fig. 15b**). Enfin, des structures isolées sont disponibles afin de faciliter l'extraction des paramètres hyperfréquence des dispositifs.

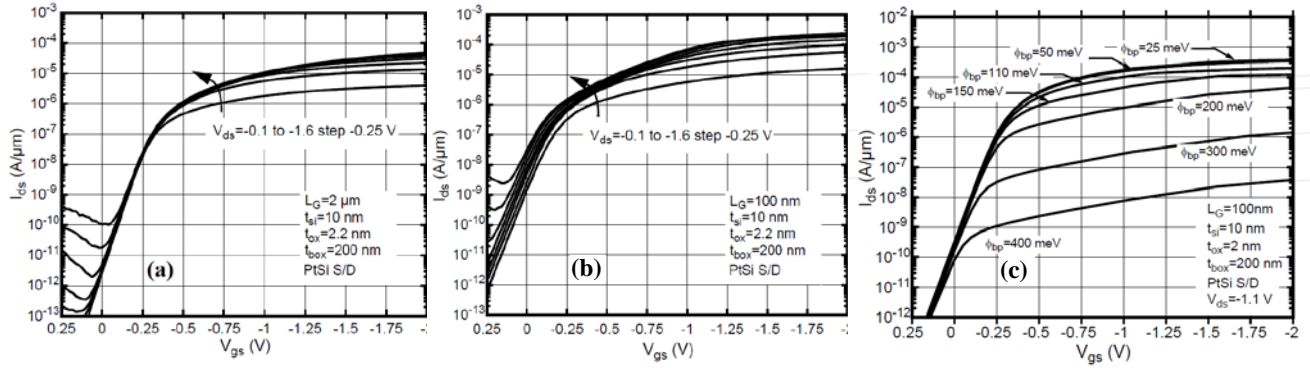


**Fig. 15:** Image MEB a) d'un transistor MOSFET à barrière Schottky de longueur de grille intrinsèque de 50 nm sur substrat SOI fin (10nm). b) d'un transistor MOSFET à barrière Schottky à deux doigts de grille en parallèle optimisé pour la caractérisation hyperfréquence ( $L_g = 40$  nm,  $W = 10$  µm).

### 1.3.2 DEVELOPPEMENT DE TRANSISTOR P-MOSFET A SOURCE/DRAIN METALLIQUES.

#### 1.3.2.1 Intégration de siliciure bord de bande de valence

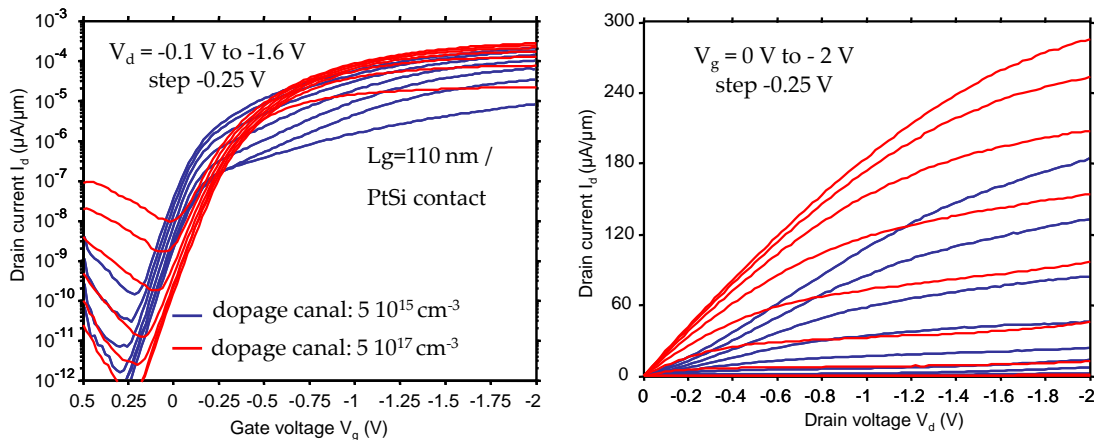
Premièrement, des transistors sur SOI faiblement dopés ont été réalisés avec des contacts source/drain en siliciure de platine. La **Fig. 16** propose deux exemples de caractéristiques de transfert mesurés sur un canal long (1000nm) et sur un canal court (100 nm). Les performances obtenues en termes de courant de commande ainsi que de contrôle des effets canaux courts se sont positionnées favorablement par rapport à l'état de l'art de composants source/drain métalliques de type p<sup>27</sup>. Néanmoins, il apparaît clairement que le courant est affecté par la hauteur de barrière Schottky avec un aplatissement visible sur la caractéristique de transfert en régime de faible accumulation ( $V_g \sim -0.5V$ ) ce qui dégrade le courant de commande. Cet effet est perceptible pour un canal long et devient prépondérant lorsque la longueur de grille devient faible (diminution de la résistance du canal). Une explication possible est le passage d'une conduction contrôlée par le canal à une conduction tunnel contrôlée par le contact, expliquant le changement de pente quand une condition de bande plate se produit à la jonction de source / canal. Ce point de vue est correct dans la limite où la hauteur de barrière n'est pas suffisamment faible (**Fig. 16c**). Alors, l'amélioration des performances de ces dispositifs passe par un travail sur la réduction de la hauteur de barrière Schottky.



**Fig. 16:** Caractéristiques de transfert  $I_{ds}$ - $V_{gs}$  mesurées sur deux transistors SB-MOSFET de type p avec S/D en PtSi de longueur de grille de a) 1000 nm et de b) 100 nm. c) Caractéristiques de transfert  $I_{ds}$ - $V_{gs}$  simulées de SB-MOSFET à  $V_d = -1.1 \text{ V}$  pour un dispositif de 100 nm de longueur de grille. Les simulations incluent différentes hauteurs de barrières (25, 50, 110, 150, 200, 300, and 400 meV).

### 1.3.2.2 Influence du dopage du canal.

Il a été démontré qu'une augmentation modérée du dopage d'un substrat de silicium de type p permettait de réduire la hauteur de barrière d'un contact de PtSi en dessous de  $0.1 \text{ eV}$ <sup>28</sup> grâce à une courbure de bande (force image) induite par les dopants de type p au voisinage de l'interface siliciure/silicium. L'intégration de PtSi p-MOSFETs sur un substrat SOI modérément dopé ( $5 \times 10^{17} \text{ cm}^{-3}$ ) a résulté d'une augmentation de courant de commande de 60% pour un canal de 110 nm (**Fig. 17**). L'aplatissement de la caractéristique  $I_d$ - $V_g$  n'est alors plus perceptible et la résistance de contact S/D ne limite plus le courant. Le niveau de dopage est suffisamment faible pour ne pas affecter la mobilité des porteurs dans le canal ni pour dégrader l'immunité contre les effets canaux courts<sup>28</sup>. Le champ électrostatique développé par la grille permet de dépléter le canal lorsque le transistor est à l'état bloqué.

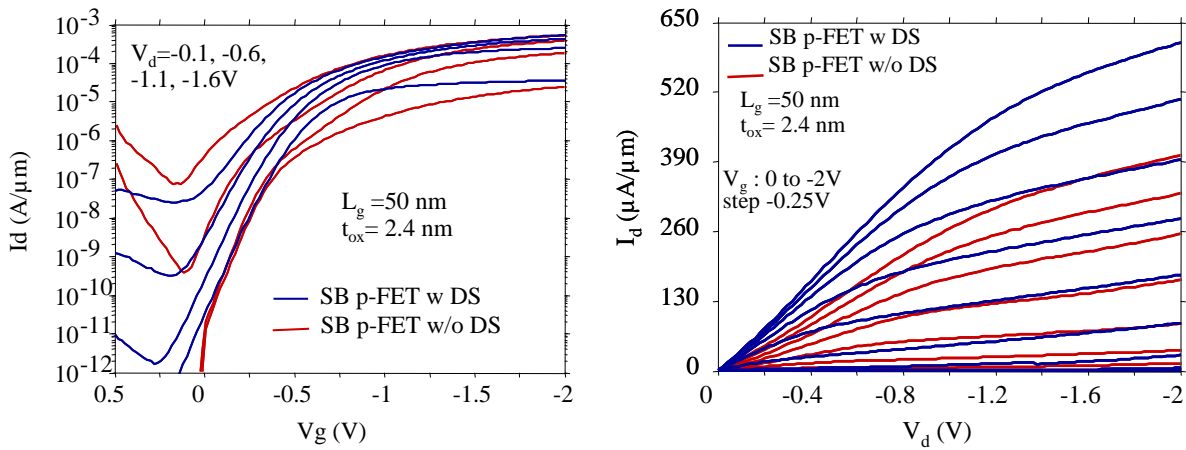


**Fig. 17:** Comparaison de caractéristiques  $I_{ds}$ - $V_{gs}$  et  $I_{ds}$ - $V_{ds}$  mesurées sur des SB-MOSFETs type p de longueur de grille de 110 nm avec des contacts S/D en PtSi sur un canal SOI faiblement et modérément dopé.



### 1.3.2.3 Intégration de contact siliciuré avec ségrégation de dopants.

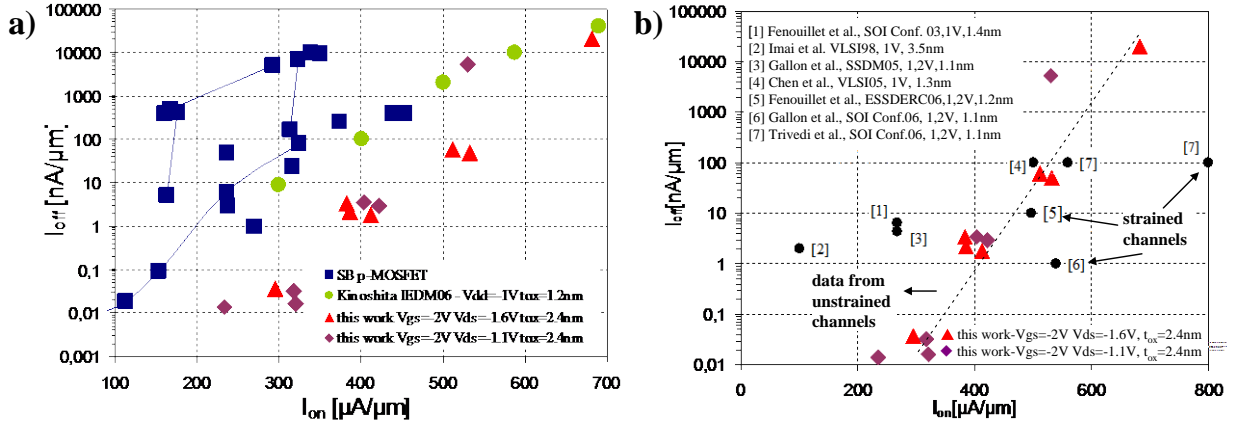
L'intégration du siliciure de platine associée à une ségrégation de bore par implantation dans le siliciure (ITS) s'est révélée être la plus efficace pour réduire la hauteur de barrière Schottky. Des transistors avec des longueurs de grille jusqu'à 25 nm ont été ainsi fabriqués et caractérisés. Des caractéristiques  $I_d$ - $V_g$  et  $I_d$ - $V_d$  d'un transistor de 50 nm de long avec ou sans ségrégation de dopant sont présentées en **Fig. 19**. L'amélioration drastique en terme de courant de commande est attribuée à la réduction de barrière Schottky induite par l'accumulation de bore à l'interface du contact. Sur le dispositif sans ségrégation, on retrouve l'aplatissement des courbes  $I_d$ - $V_g$  proche de la tension de seuil, signature d'une limitation du courant par la barrière Schottky. Cet effet est supprimé avec les jonctions ségrégées. Un nouvel état de l'art en terme de performance de courant de commande a été établi avec une longueur de grille de 25 nm<sup>24</sup> : 814  $\mu\text{A}/\mu\text{m}$  à  $V_g=-2\text{V}/V_d=-2\text{V}$  et 682  $\mu\text{A}/\mu\text{m}$  à  $V_g=-2\text{V}/V_d=-1.6\text{V}$ . En considérant une tension d'alimentation de 1.1 V, un  $I_{\text{on}}$  de 530  $\mu\text{A}/\mu\text{m}$  à  $V_g=-2\text{V}/V_d=-1.1\text{V}$  avec un oxyde de grille de 2.5 nm peut être raisonnablement considéré comme une figure représentative d'un courant de commande à  $V_g=V_d=-1.1\text{V}$  avec un oxyde d'épaisseur équivalente de  $\sim 1.2$  nm. Bien qu'il soit encore trop tôt pour conclure définitivement sur la miniaturisation de la technique de ségrégation de dopant, ces derniers résultats donnent une première série de preuves qui supportent son utilisation potentielle dans des dispositifs ultimes ( $< 25$  nm).



**Fig. 18:** Comparaison de caractéristiques  $I_{\text{DS}}-V_{\text{GS}}$  et  $I_{\text{DS}}-V_{\text{DS}}$  mesurées sur des SB-MOSFETs type p de longueur de grille de 50 nm avec des contacts S/D en PtSi avec ou sans ségrégation de bore par ITS.

Enfin, une comparaison de l'état de l'art (**Fig. 19a**) des transistors p-MOSFET à source/drain métalliques, incluant les dispositifs à ségrégation de dopants, place les performances présentées très favorablement. **Fig. 19b** démontre aussi que ces jonctions métalliques se positionnent parmi les meilleures performances obtenues sur des p-FETs en technologie SOI, comparaison faite sur des publications de mêmes générations. En

considérant que la ligne tirée est représentative des meilleures performances réalisables sans introduction d'ingénierie de contraintes, il peut être raisonnablement conclu que le courant est limité par la résistance du canal et non par celle des zones source/drain.



**Fig. 19:** a) Compilation des meilleures performances  $I_{on}/I_{off}$  de transistors MOS à source/drain Schottky de type p avec les résultats obtenus au cours de ces travaux. b) Compilation des meilleures performances  $I_{on}/I_{off}$  de transistors MOS conventionnels de type p sur substrat SOI publié jusqu'alors avec les résultats obtenus au cours de ces travaux.

### 1.3.3 DEVELOPPEMENT DE TRANSISTOR N-MOSFET A SOURCE/DRAIN METALLIQUES.

#### 1.3.3.1 Intégration de siliciures bord de bande de conduction.

Suivant la même approche que pour les dispositifs de type p, les contacts à base de terre rare, étudiés et optimisés d'un point de vue matériau, ont été implémentés à l'échelle du dispositif. L'intégration de siliciure de terre rare à base d'erbium (**Fig. 20a**) et d'ytterbium (**Fig. 20b**) sur des dispositifs nFET sur substrat SOI ultra fin a été démontrée. Dans les deux cas, pour un dispositif à canal long, la signature d'une hauteur de barrière Schottky excessive ( $\sim 0.3$  eV) est perceptible sur les caractéristiques  $I_a-V_g$  limitant sévèrement les courants de commande (de l'ordre de la dizaine de  $\mu A/\mu m$ ). Ce phénomène sera d'autant plus marqué que la longueur de grille du dispositif sera réduite, rendant l'implémentation de tels contacts pour des futures générations de dispositifs très compromise.



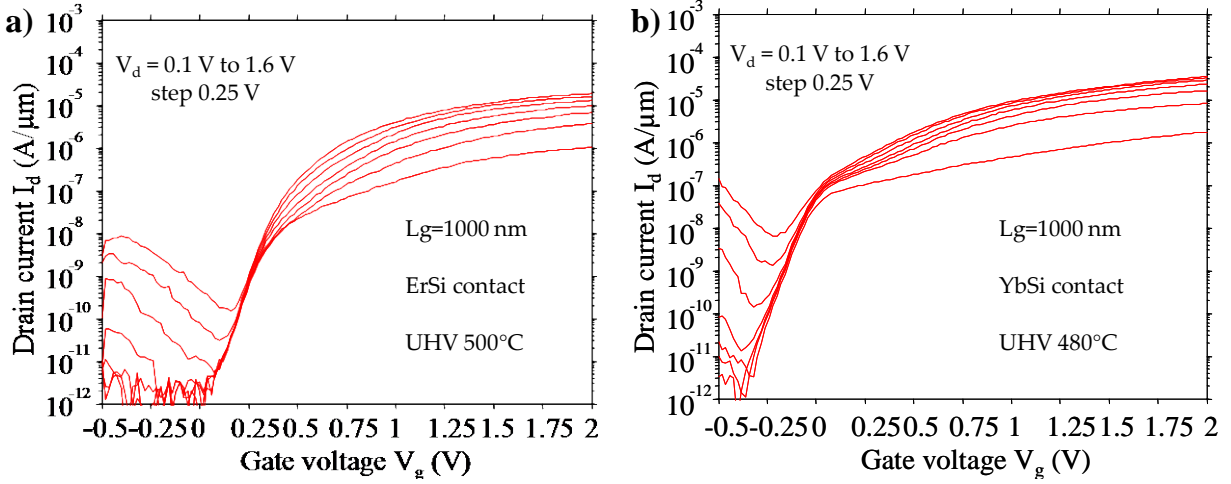


Fig. 20: Caractéristique de transfert  $I_{ds}$ - $V_{gs}$  mesurée sur un transistor SB-MOSFET de type n de longueur de grille de 1000 nm avec S/D(a) en ErSi et (b) YbSi.

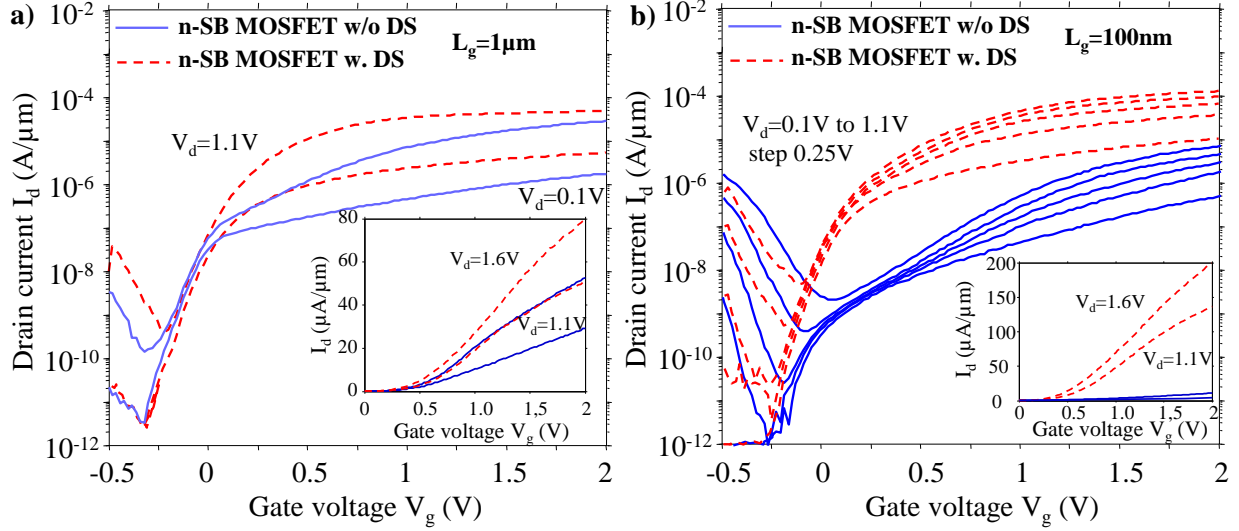
### 1.3.3.2 Intégration de contact à base de terre rare avec ségrégation de dopants.

Présentée dans l'étude matériau, une solution pour intégrer un siliciure de terre rare avec une hauteur de barrière inférieure à 0.2eV est d'introduire à l'interface siliciure/silicium une ségrégation de dopant d'arsenic. Les Fig. 21 comparent les caractéristiques statiques ( $I_d$ - $V_g$ ) de transistors avec des contacts S/D en YbSi<sub>1.8</sub> avec ségrégation d'arsenic et des transistors similaires sans ségrégation de dopant (échantillon de contrôle) pour des longueurs de grille de 1  $\mu$ m (Fig. 21a) et de 100 nm (Fig. 21b).

D'un point de vue qualitatif, alors que le transistor de contrôle en YbSi présente un aplatissement sensible des caractéristiques  $I_{ds}$ - $V_{gs}$  à la transition entre les régimes sous le seuil et faible-accumulation ( $0 < V_g < 0.5$ ), une telle limitation n'est pas observée pour des jonctions S / D Schottky ségrégées en raison de la réduction drastique SBH. L'avantage en termes de courant de commande est dévoilé par la caractéristique  $I_{ds}$ - $V_{gs}$  en échelle linéaire (encart Fig. 21a) qui révèle une amélioration de 50% pour le dispositif de 1  $\mu$ m de long. L'avantage est encore mieux illustré dans le cas du dispositif 100-nm de longueur de grille (encart Fig. 21b), où une plus faible résistance de canal exacerbe les limitations de performance provenant des extensions S / D. Le transistor à S/D métallique avec ségrégation d'As possède un courant de commande  $I_{on} = 252 \mu A / \mu m$  à  $V_{gs} = V_{ds} = 2 V$  qui représente une amélioration de plus de  $10 \times$  par rapport au dispositif de contrôle.

Ainsi, l'association de dopants de type donneurs avec un siliciure bord de bande de conduction (e.g. ErSi<sub>1.7</sub>, YbSi<sub>1.8</sub>) apparaît comme une solution naturelle. Néanmoins, la formation de siliciure à base de terre rare est très délicate avec une très grande

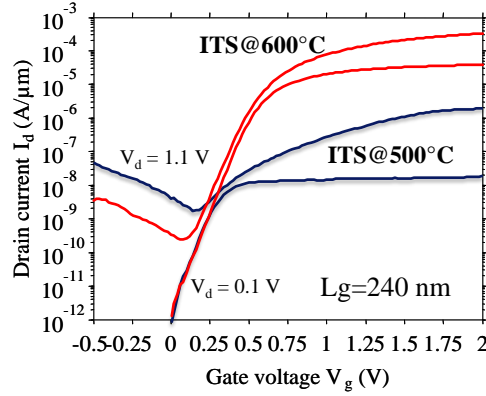
sensibilité avec l'oxygène, une grande réactivité avec les diélectriques et une mauvaise stabilité en température ce qui pourrait être un frein à leur développement à grande échelle.



**Fig. 21:** Caractéristiques de transfert  $I_{ds}$ - $V_{gs}$  mesurées sur deux transistors SB-MOSFET de type n avec S/D en YbSi avec ségrégation d'arsenic par IBS réalisé sous UHV 520°C de longueur de grille de a) 1000 nm et b) 100nm.

### 1.3.3.3 Intégration de contact à base de PtSi avec ségrégation d'arsenic.

Par opposition, PtSi est un siliciure beaucoup plus stable mais possède naturellement une faible barrière Schottky pour les trous (proche de la bande de valence). Alors, PtSi semble, en théorie, être un médiocre candidat pour produire une très faible barrière Schottky aux électrons, l'implémentation d'une ségrégation d'arsenic peut drastiquement améliorer la situation (cf. **Fig. 13a**). De tels contacts ont été implémentés sur des transistors nFETs sur un substrat SOI ultrafin (~12nm). **Fig. 22** montre qu'une étape d'activation faite à 500°C n'est pas suffisante pour permettre un abaissement de barrière significatif induisant une caractéristique statique ambipolaire. Le courant de commande, fortement limité par la hauteur de barrière excessive, est relativement faible (~4  $\mu\text{A}/\mu\text{m}$  @  $V_{DD}=2\text{V}$ ). Par contre, lorsque cette étape d'activation est réalisée à 600°C, la hauteur de barrière est maintenant abaissée sous la valeur cible de 0.1 eV offrant une caractéristique statique quasi-parfaite. Le courant n'est plus limité par la résistance de contact et propose un  $I_{on}$  de 286  $\mu\text{A}/\mu\text{m}$  at  $V_g=V_d=2\text{V}$ , mesuré directement sur le siliciure avant l'étape de plot de contact.

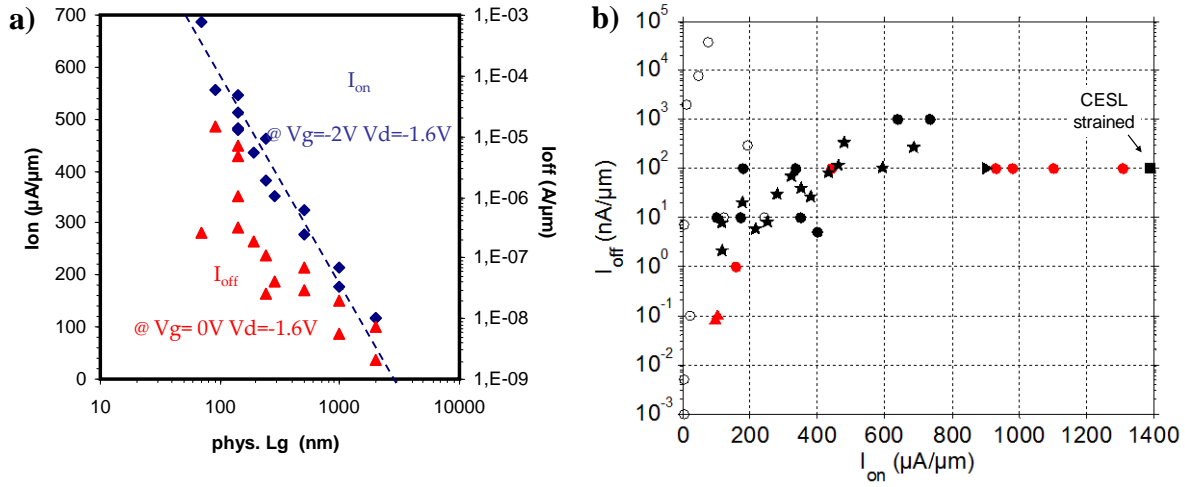


**Fig. 22:** Caractéristiques de transfert  $I_{ds}$ - $V_{gs}$  mesurées sur deux transistors SB-MOSFET de type n avec S/D en PtSi de longueur de grille de 240 nm avec ségrégation d'arsenic par ITS activé à 500°C et 600°C.

En se basant sur ces résultats, un procédé complet a été réalisé avec des dispositifs dont la longueur de grille est miniaturisée jusqu'à 70 nm. L'étape d'activation est choisie à 600°C et la réalisation des plots d'épaississement permet une diminution significative des résistances d'accès. A titre d'exemple, un transistor de 240 nm de long possède un courant à l'état passant de 461  $\mu\text{A}/\mu\text{m}$  à  $V_g=2\text{V}$  /  $V_d=1.6\text{V}$  et 410  $\mu\text{A}/\mu\text{m}$  à  $V_g=2\text{V}$  /  $V_d=1.1\text{V}$  avec un courant de fuite de 110 nA/ $\mu\text{m}$  à  $V_d=1.6\text{V}$  et 35 nA/ $\mu\text{m}$  à  $V_d=1.1\text{V}$ . La pente sous le seuil et le DIBL sont de 83 mV/dec et 49 mV/V, respectivement.

La **Fig. 23a** propose l'évolution du maximum de courant de commande et du courant de fuite en fonction de la longueur de grille.  $I_{on}$  suit la règle conventionnelle en  $1/L_G$ , indiquant que les résistances S/D n'exercent pas de limitation excessive sur le courant. Une valeur moyenne de  $I_{on}$  à  $L_g=100$  nm est de 580  $\mu\text{A}/\mu\text{m}$  pour  $V_d=1.6\text{V}$  et  $V_g=2\text{V}$ , ce qui correspond à 16% de mieux en comparaison avec un pMOSFET utilisant une ségrégation de dopant de bore ( $I_{on}=490$   $\mu\text{A}/\mu\text{m}$ ). Dans les deux cas, la résistance du canal domine la résistance totale et le courant n'est pas limité par la résistance de contact. Alors, la différence de courant de commande provient, en grande part, d'une mobilité supérieure des électrons par rapport aux trous entraînant une résistance de canal pour le nMOS légèrement plus faible que pour le pMOS. Le courant de fuite augmente avec la diminution de la longueur de grille, tout en restant dans une gamme acceptable. Enfin, la **Fig. 23b** présente l'état de l'art pour les transistors à source/drain métalliques de type n avec ou sans implémentation de ségrégation de dopants. Les résultats obtenus au cours de ces recherches sont en position très favorables lorsqu'ils sont comparés à des technologies planaires. En effet, les points rouges et la référence 31

correspondent à des architectures particulières (canaux contraints ou activation à haute température).



**Fig. 23:** a)  $I_{on}$  et  $I_{off}$  en fonction de la longueur de grille de SB-nMOSFETs avec As ségrégué sur des contacts PtSi. b) Etat de l'art des performances de SB-nMOSFET: figure de mérite  $I_{off}$ - $I_{on}$ . Symboles ouvert/plein correspondent à des technologies sans ou avec implémentation de ségrégation de dopant, respectivement. Les symboles rouges correspondent à des procédés à haute température. ★ [ce travail], ▲ [29], ► [30] ■ [31]

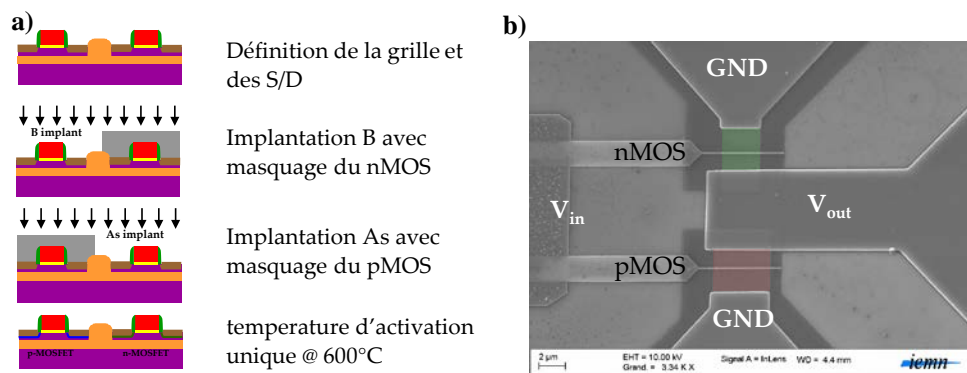
## 1.4 CARACTERISATIONS HYPERFREQUENCES ET DE DISPOSITIFS LOGIQUES ELEMENTAIRES:

### 1.4.1 CARACTERISATION D'INVERSEUR CMOS A SOURCE/DRAIN METALLIQUE UNIQUE.

Cette partie présente la première démonstration et caractérisation d'inverseurs CMOS obtenus par ségrégation de dopant à basse température. Cette approche a abouti au dépôt d'un brevet français <sup>32</sup> par le CNRS avec des extensions internationales (Europe, Etats-Unis, Japon). Elle permet de lever les deux points de blocage majeurs à l'implémentation de source/drain Schottky : l'utilisation d'un siliciure unique et des hauteurs de barrière inférieures à 0.1eV pour les deux types. L'invention permet ainsi de proposer une solution performante, viable et faible coût pour la fabrication des zones

source/drain des futures générations technologiques de MOSFETs complémentaires. Le procédé proposé est dit froid (pas d'étape d'activation des dopants à haute température), levant de nombreuses contraintes en termes d'intégration notamment pour l'empilement de grille comprenant par exemple un diélectrique high-k et une grille métallique.

La Fig. 1Fig. 24a présente le procédé de fabrication d'un tel dispositif CMOS. Il débute par la formation des zones d'isolation et des grilles de transistors pouvant intégrer un oxyde thermique avec une grille en poly-silicium mais aussi un diélectrique à haute constante diélectrique (Hk) avec une grille métallique. Aucune formation de jonction ni d'implantation n'est nécessaire. Un espaceur en diélectrique de chaque côté de la grille est ensuite réalisé. Le siliciure de platine est formé sur les zones source/drain des transistors de type p et n. Puis des éléments du groupe III ( $\text{BF}_2^+$  15 keV,  $5 \times 10^{14} \text{ cm}^{-2}$ ) sont confinés dans le siliciure par implantation ionique pour la réalisation des contacts de type p, le transistor complémentaire (type n) étant protégé par masquage. La densité du siliciure est 4 fois plus grande que celle du silicium, la couche métallique est un écran lors de l'implantation, les éléments sont rapidement freinés et sont donc majoritairement localisés dans cette couche. La même approche est suivie pour le transistor complémentaire : Des éléments du groupe V ( $\text{As}^+$  17 keV,  $5 \times 10^{14} \text{ cm}^{-2}$ ) sont confinés dans le siliciure par implantation ionique pour la réalisation des contacts de type n, le transistor complémentaire (type p) étant protégé par masquage. Enfin, une étape unique de recuit à basse température ( $< 700^\circ\text{C}$ ) est utilisée pour faire ségréger les dopants à l'interface entre le siliciure et le semi-conducteur.



**Fig. 24:** a) Description des étapes du procédé de fabrication d'un dispositif MOSFET complémentaire intégrant des zones source/drain en PtSi dont la hauteur de barrière est modulée par ségrégation de dopants. b) Image MEB d'un dispositif CMOS réalisé avec en rouge, le pFET et en vert le nFET.

La Fig. 24b présente une vue aérienne MEB d'un SB-CMOSFETs, composé d'un n- MOS dans la partie supérieure et d'un p- MOS dans la partie inférieure. Les régions

verte et rouge sont les fenêtres d'implantation pour respectivement l'arsenic et le bore. Une isolation par gravure (mesa) sépare les deux transistors afin d'empêcher la diffusion des dopants vers le dispositif complémentaire. La **Fig. 25** propose les caractéristiques statiques  $I_d-V_g$  et  $I_d-V_d$  d'un transistor de 70 nm de long. D'un point de vue qualitatif, aucune inflexion sous-linéaire n'est observée sur les courbes  $I_{ds}-V_{ds}$  indiquant que les hauteurs de barrière pour les deux types de transistors sont suffisamment basses pour ne pas limiter l'injection de support à la jonction de la source. Le courant de commande pour les dispositifs de type n et p est de  $I_{on} = 596/378 \mu A/\mu m$  à  $V_{dd} = 1.1 V$  avec  $|V_{gs}| = 2 V$  pour tenir compte de l'épaisseur d'oxyde de grille de 2.4 nm. La valeur de la pente sous le seuil à faible  $V_{ds}$  est proche pour les deux polarités de transistors, à savoir, 106 et 88 mV / dec pour les transistors de type n et p, respectivement. En circuiterie CMOS conventionnelle, la largeur  $W$  du transistor p-MOS est typiquement 2-2.5X plus large que celle du n-MOSFETs. Dans le cas présent, les largeurs du n- MOS et du p- MOS sont de  $3\mu m$  et  $4.5\mu m$  respectivement afin de préserver une symétrie dans le fonctionnement basique du circuit.

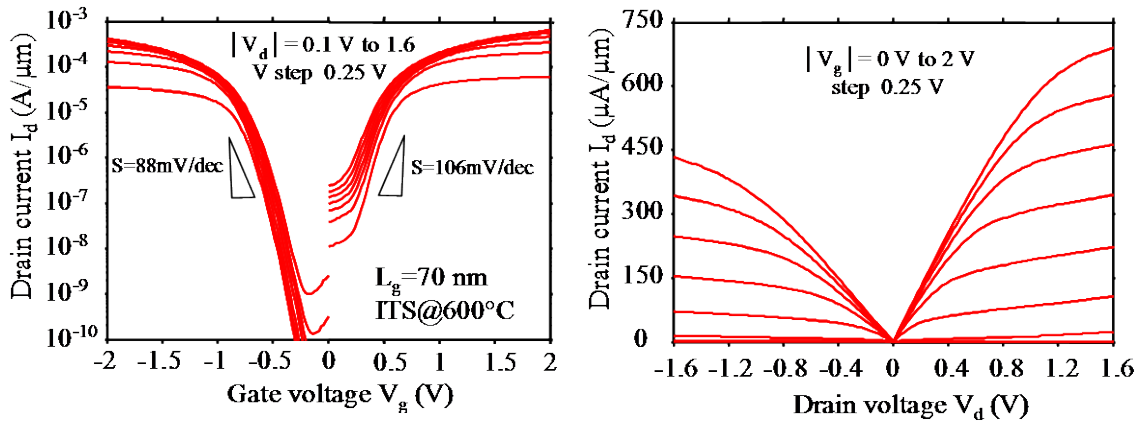
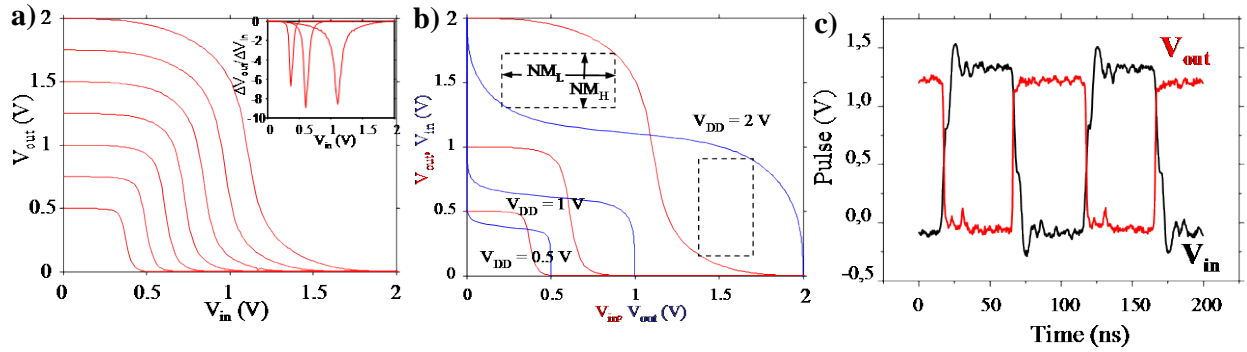


Fig. 25: Caractéristiques statiques  $I_d-V_g$  et  $I_d-V_d$  d'un transistor de 70 nm de long

La **Fig. 26a** présente les caractéristiques statiques de transfert (VTC) d'un inverseur de 70 nm de long. Plusieurs  $V_{dd}$  sont considérées, allant de 0.5 à 2 V par pas de 0.25 V. Pour chaque condition de tension d'alimentation, d'excellents VTC sont obtenus avec un état haut égal à  $V_{DD}$  et un état bas égal à 0. Ceci indique que des courants de fuite, quand les transistors sont bloqués, sont suffisamment faibles pour ne pas dégrader les états logiques haut et bas. L'encart de la **Fig. 26a** montre les variations de gain de tension de VTC ( $\Delta V_{out}/\Delta V_{in}$ ) pour plusieurs  $V_{dd}$ . La distribution fortement pointue révèle une zone étroite de transition qui équivaut à 210 mV pour  $V_{dd} = 1 V$ . La position du pic à  $\sim 0,6 V$ , est légèrement décalée de  $V_{dd} / 2$  en raison d'une asymétrie non compensée entre les courants de saturation n et p-MOS. Cette asymétrie provient partiellement de l'abaissement de barrière induit par le drain (DIBL), pour les deux

polarités de transistors (177 et 126 mV / V pour n et p MOSFET, respectivement). Bien que le rapport de la largeur des dispositifs ( $W_p / W_n$ ) ait été ajusté afin d'obtenir des courants de saturation équivalents à  $|V_{gs}| = 2$  V (pour compenser l'oxyde de grille épais), la mesure directe de VTC rend cette correction impraticable. Pour affiner l'analyse, les marges de bruits statiques ont été évaluées en utilisant le critère de produit maximal (maximum product criterion (MPC)<sup>33</sup>) qui maximise la zone des rectangles qui peuvent être intégrés dans les boucles VTC d'inverseurs croisés, en interchangeant  $V_{in}$  et  $V_{out}$  sur les axes x- et y- (**Fig. 26b**). La marge de bruit haute ( $NM_H = V_{OH} - V_{IH}$ ) et la marge de bruit basse ( $NM_L = V_{OL} - V_{IL}$ ) sont schématisées sur la figure. D'excellentes performances ont été démontrées avec par exemple pour  $V_{DD}=1V$ ,  $NM_H= 0,21$  V /  $NM_L=0.47V$ . Enfin, la réponse dynamique à 10 MHz de l'inverseur CMOS (**Fig. 26c**) présente d'excellentes propriétés régénératrices. L'intérêt de cette démonstration était de montrer qu'un siliciure unique couplé à une stratégie à faible température de ségrégation offre une approche efficace, viable et de la fabrication à faible coût pour les futurs nœuds technologiques de MOSFET complémentaires. Gardant à l'esprit la réduction du budget thermique rigoureux requis par l'introduction de nouveaux matériaux dans le procédé CMOS, cette approche est également particulièrement bien adaptée à l'intégration de matériaux sensibles à la température et pour l'empilement monolithique de dispositifs en trois dimensions qui doivent se conformer à la réduction thermique sévère du budget pour garantir la stabilité siliciure.



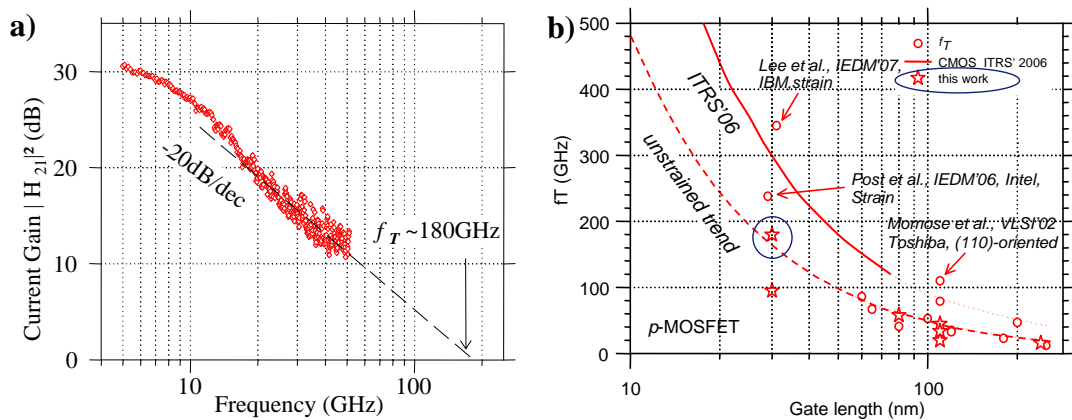
**Fig. 26:** a) Caractéristiques de transfert en tension d'un inverseur SB-MOSFET à différents  $V_{DD}$  (de 0.5V à 2 V avec un pas de 0.25 V) avec une longueur de grille de 70 nm  $W_{n-MOS} = 3 \mu m$ ,  $W_{p-MOS} = 4.5 \mu m$ . Le gain en tension ( $\Delta V_{out}/\Delta V_{in}$ ) est donné en insert pour 3 différents  $V_{DD}$  (0.5, 1 and 2 V). b) Caractéristiques statiques de transfert  $V_{DD}$  (0.5V, 1V et 2V) en interchangeant  $V_{in}$  et  $V_{out}$  sur les axes x- et y- pour identifier les marges de bruit  $NM_L$  and  $NM_H$  suivant le critère du produit maximal. c) Réponse dynamique (impulsion) de l'inverseur SB-MOSFET à  $V_{DD} = 1.2V$ .



## 1.4.2 CARACTERISATION HYPERFREQUENCE DE MOSFETS A SOURCE/DRAIN METALLIQUES.

Des dispositifs optimisés pour la caractérisation hyperfréquence (présentés dans la section 1.3.1) ont permis de compléter la caractérisation de la technologie à source/drain métalliques. Ces mesures ont été réalisées avec l'expertise du groupe anode de l'IEMN, spécialisé en mesures RF. Les paramètres S ont été mesurés jusqu'à 50 GHz en utilisant un analyseur de réseau micro-onde. La calibration des pointes a été réalisée en suivant une procédure conventionnelle (SOLT) et les accès coplanaires des dispositifs ont été retranchés en utilisant des structures ouvertes. ("Open Test Structure"). Les fréquences de coupure sont obtenues par extrapolation du gain en courant  $|H_{21}|^2$  en utilisant la pente théorique à -20dB/dec. Une performance RF record pour un dispositif de type p non contraint sur substrat SOI (**Fig. 27a**) a été démontrée sur un pFET de 30 nm avec ségrégation de bore avec une fréquence de coupure  $f_T$  de 180 GHz<sup>24</sup>. Comparé à l'état de l'art (**Fig. 27b**), ce résultat constitue l'un des meilleurs jamais reportés dans la littérature à la date de publication pour des dispositifs pMOS non contraints.

Des travaux complémentaires de modélisation<sup>34</sup> ont montré que l'optimisation de la couche de dopant par un contrôle minutieux de la concentration de dopant et l'extension latérale permet, via la réduction des résistances de contact source / drain, d'obtenir une valeur  $F_t$  à très faible consommation d'énergie en courant continu (45  $\mu\text{W} / \mu\text{m}$ ), qui est très prometteur pour traiter les applications analogiques basse tension.



**Fig. 27:** a) Paramètres S d'un p-MOSFET de 30 nm avec une ségrégation de dopant de bore mesurés jusqu'à 50GHz avec  $V_g=V_d=-2\text{V}$ , b) Etat de l'art de fréquence de coupure  $f_T$  pour des p-MOSFETs massif ou SOI – les architectures de canaux particulières sont mentionnées.



Finalement, nous avons étudié le bruit à basse fréquence dans les jonctions Schottky ainsi que dans des transistors SB-FET<sup>35</sup>. Il a été démontré que, même pour les très petites valeurs de hauteurs de barrière Schottky ( $\phi < 0,1$  eV), la contribution de la barrière sur le bruit n'est pas négligeable même si le courant est dominé par la résistance de canal. En outre, il y a une décroissance exponentielle du bruit normalisé avec la tension de drain  $V_d$ , qui est un point important à considérer pour les applications d'amplificateur ou de capteurs. La modulation de la barrière par des moyens technologiques, tel que la ségrégation de dopant, tend à réduire l'amplitude du bruit, même si des contributions additionnelles de bruit par génération-recombinaison et par piégeage ont été remarquées pour de faibles valeurs de  $V_d$  pour les dispositifs de type p. Un modèle a été établi permettant une formulation générique du bruit BF, applicable dans n'importe quel type de dispositifs SB-FET.

## 1.5 CONCLUSION

---

Le programme de recherche sur les transistors à source/drain métalliques a abouti à de nombreux faits saillants. L'étude matériau a permis une compréhension fine de siliciures bord de bande de valence (platine, iridium) et de conduction (erbium et ytterbium). Ces siliciures associés à une ségrégation de dopants offrent des hauteurs de barrière Schottky pour les trous mais aussi pour les électrons sous la valeur cible de 0.1 eV. Un procédé de transistor a été développé avec des grilles métalliques jusqu'à 20 nm de long sur substrat SOI ultrafin. L'implémentation de tels siliciures a démontré des performances statiques de transistors de type p et n au meilleur international. Le développement d'un inverseur CMOS intégrant un siliciure unique et des ségrégations de dopants activées à basse température (600°C) a été proposé pour la première fois et a débouché sur un dépôt de brevet. Enfin, des caractérisations hyperfréquences ont révélées que cette architecture était très compétitive par rapport à une architecture source/drain conventionnelle.

## 1.6 SELECTION D'ARTICLES

---

# Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs.

G. Larrieu<sup>(1)</sup>, E. Dubois<sup>(1)</sup>, R. Valentin<sup>(1)</sup>, N. Breil<sup>(1,2)</sup>, F. Danneville<sup>(1)</sup>,  
G. Dambrine<sup>(1)</sup>, J.P. Raskin<sup>(3)</sup>, J.C. Pesant<sup>(1)</sup>.

(1) IEMN – UMR CNRS 8520, Avenue Poincaré, BP 60069, 59652 Villeneuve d'Ascq, France.

(2) STMicroelectronics, 850 rue Jean Monnet, 38926 Crolles Cedex France

(3) UCL, Place du Levant, 3, Maxwell Building, B-1348 Louvain-la-Neuve, Belgium.  
guilhem.larrieu@isen.iemn.univ-lille1.fr, tel :+33 320 197 917, fax :+33 320 197 884.

## Abstract

This paper proposes the implementation of a dopant segregated band-edge silicide using implantation-to-silicide and low temperature activation (500°C). The integration of platinum silicide coupled to boron segregation demonstrates a 50% enhancement of the current drive over the dopant-free approach. RF characterization unveils a cut-off frequency  $f_T$  of 180 GHz at  $L_g=30$  nm without application of channel stressors.

## 1-Introduction

Over the last decade, the development of metallic source/drain (S/D) has emerged as a potential performance booster because of the increasing impact of S/D resistance on transistor performance, especially in the case of ultra-thin SOI and multiple-gate thin body MOSFETs. Although, promising results have been reported for p-MOSFETs using platinum silicide (PtSi) [1], the gain in S/D sheet resistance has been overwhelmed by the contact resistance at the source/channel interface due to a Schottky barrier (SB) in excess of 0.1eV [2]. Dopant segregation (DS) at the silicide/silicon interface proves to efficiently modulate the Schottky barrier height while avoiding issues associated to doped junctions. So far, the so-called dopant segregation technique has been implemented along with midgap silicides, e.g. NiSi [3], CoSi<sub>2</sub> [4] but involved dopant implantation and high temperature activation before the silicidation step. In contrast, this work explores the implementation of DS characterized by the three distinctive features: i) implant-to-silicide (ITS), ii) band-edge low Schottky barrier to holes (PtSi) and iii) thermal budget limited to 500°C. For the first time, p-type thin-film SOI MOSFETs that integrate S/D junctions with the above characteristics are demonstrated. Beyond DC characterizations, RF performance is reported for a physical gate length down to 30 nm.

## 2-Junction concept

The role of dopant pile-up at the silicide/silicon interface is to enhance carrier emission through tunnel injection. The use of

band-edge silicide, such as PtSi, provides an additional leverage to further reduces the contact resistivity by promoting thermionic injection. Depending on the process sequence, dopant-segregation (DS) technique can be implemented in three different flavours [5]: i) implantation into Si followed by metal deposition and silicidation annealing, ii) *implantation-through-metal* (ITM) followed by dopant segregation induced by the silicidation thermal budget and finally, iii) *implantation-through-silicide* (ITS) followed by dopant pile-up initiated by a low temperature post-silicidation activation step.

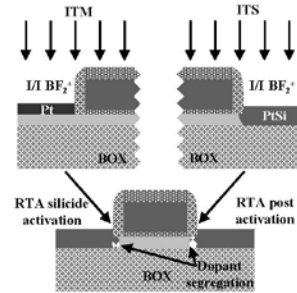


Fig. 1: Schematic illustration of the ITM and ITS schemes for the implementation of metallic low Schottky barrier S/D in UTB SOI MOSFETs.

The advantage associated to the two last techniques (Fig.1) is to confine dopants in the silicide or the metal layer without the generation of defects, thus enhancing the segregation effect governed by solid solubility and diffusion mechanisms. As the silicidation reaction proceeds, the formation of the silicide alloy naturally involves a profound re-arrangement of bonds between Pt and Si. During this phase of material reconstruction, it is speculated that boron can be incorporated in substitutional sites in an extremely localized silicon slice. From the electrical transport standpoint, the above mechanism can be viewed as the activation of a quasi Dirac distribution of dopants that greatly enhances current injection

through a barrier lowering mechanism and a concomitant increase of the tunneling rate.

### 3- SB height modulation: experiments and characterization

In order to evaluate the ITM and ITS versions of boron segregated PtSi junctions, dedicated test structures consisting in two silicided back-to-back junctions separated by a micrometer gap have been fabricated on p-type (100) Si wafers (10  $\Omega$ .cm). Starting from a 20 nm thick Pt layer, the subsequent silicidation reaction was activated by rapid thermal annealing (RTA) at 300°C for 4 min before (ITS ) or after (ITM)  $\text{BF}_2^+$  implantation. A control sample was processed in parallel without the implantation step. To confine the maximum of dopants in the 20 nm Pt layer (ITM) or in the 40 nm PtSi layer (ITS), TRIM simulation gives a  $\text{BF}_2^+$  implantation at 20 keV with a dose of  $10^{15} \text{ cm}^{-2}$ . ITS junctions received a RTA post-anneal to activate the mechanism of boron segregation.

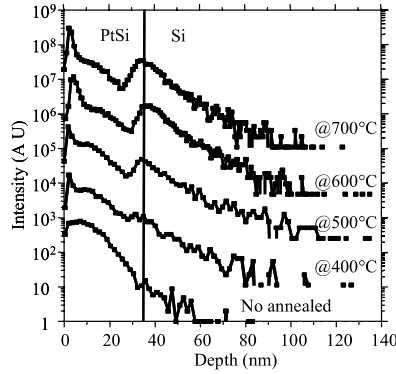


Fig. 2: SIMS boron profiles for the ITS scheme. Activation of segregation is obtained by post RTA annealing for 5 min in  $\text{N}_2$  at temperatures ranging from 400°C to 700°C.

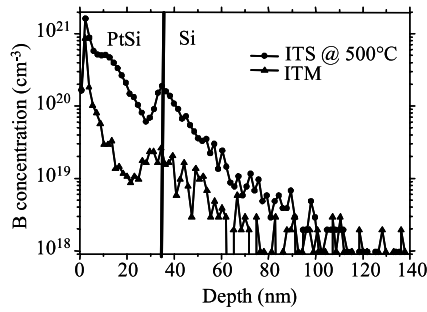
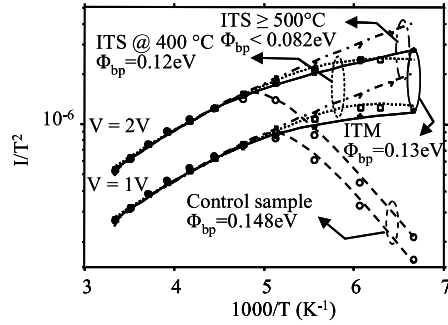


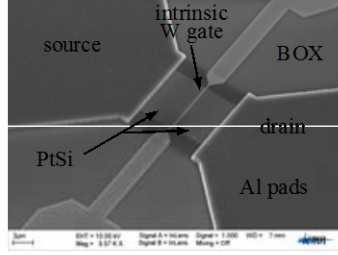
Fig. 3: Comparison SIMS boron profiles obtained from the ITM and ITS at 500°C.

In Fig. 2, SIMS profiles show how boron accumulates at the PtSi/Si interface when the post annealing temperature is varied in the 400-700°C range. It is observed boron starts to sharply segregate at 500°C at a peak concentration that amounts  $2 \times 10^{20} \text{ cm}^{-3}$  (Fig. 3). In the ITM case, the accumulation of dopants at the interface is much less pronounced, in part due to the considerable loss of dose (75%). When compared to the ITS case, the boron concentration resulting from the ITM treatment is reduced in both PtSi and Si, indicating that the dose loss could be attributed to outdiffusion during the silicidation reaction.



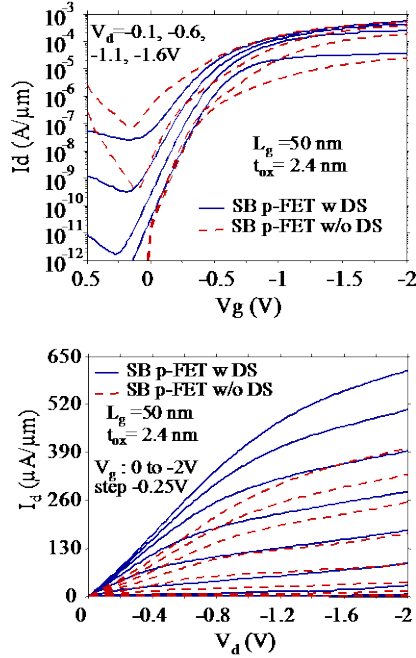
terization

Fig. 6 shows an aerial SEM picture of the device architecture that features a 20 nm thick SOI channel, a 2.4 nm SiO<sub>2</sub> gate oxide, a metallic tungsten gate and 15 nm wide SiN spacers.



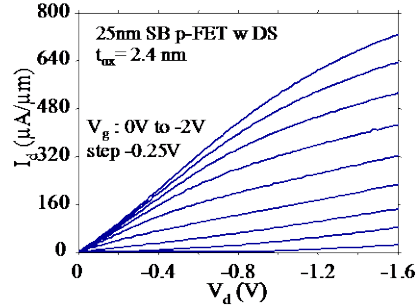
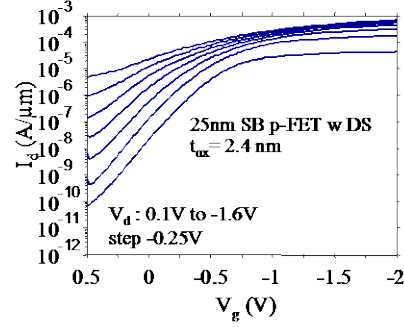
**Fig. 6:** Aerial SEM picture of a p-MOSFET with 12 nm PtSi S/D, tungsten metal gate ( $L_g$  from 25 nm to 1  $\mu$ m) on ultra thin SOI ( $t_{Si}=20$  nm) and a 2.4 nm gate oxide ( $t_{ox}$ ).

$I_{ds}-V_{gs}$  and  $I_{ds}-V_{ds}$  characteristics of a 50 nm gate long p-MOSFETs with and without ITS DS are shown in Fig. 7 and 8. The improvement of 53 % in terms of  $I_{on}$  is attributed to the SB height reduction introduced by DS ITS. Without DS, the perceptible flattening of the  $I_{ds}-V_{gs}$  (Fig. 7) curves observed at the transition between subthreshold and weak accumulation reveals the signature of current limitation by the SB height. This effect is suppressed with dopant-segregated junctions.

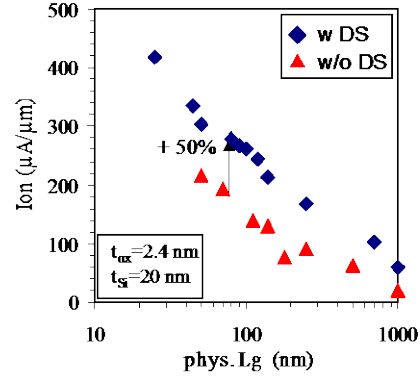


**Fig. 7 and 8:**  $I_{ds}-V_{gs}$  and  $I_{ds}-V_{ds}$  characteristics of a 50 nm gate long p-type SB-MOSFET w and w/o DS.

Fig. 9 and 10 present the characteristics of a 25 nm gate long device. At this gate dimension, short channel effect ( $I_{off}$ , DIBL) could be drastically reduced using a gate oxide thinner than  $t_{ox}=2.4$  nm and a thinner SOI body (here  $t_{Si}=20$  nm). As far as a supply voltage of 1.1 V is considered, the  $I_{on}$  of 530  $\mu$ A/ $\mu$ m at  $V_g=-2$ V/ $V_d=-1.1$ V can be reasonably considered as the figure representative of the current drive at  $V_g=V_d=-1.1$ V with an equivalent oxide thickness of  $\sim 1.2$  nm.



**Fig. 9 and 10:** 25 nm gate long p-FET  $I_{ds}-V_{gs}$  and  $I_{ds}-V_{ds}$  with DS.



**Fig. 11:**  $I_{on}$  @  $V_d=V_g-V_T=-1.1$ V vs  $L_g$ .

In Fig. 11, the  $I_{on}$  vs  $L_g$  trend curves indicate an average improvement of 50% with DS junctions over the dopant-free

counterpart. The DS junctions provided an improved immunity in terms of DIBL and subthreshold swing (figure not shown). A comparison to the state-of-the-art (Fig.12) of metallic Schottky S/D p-MOSFETs places the boron-segregated ITS scheme in a favorable position. Results in the uppermost left part of the graph (square symbol) correspond to pure Schottky contacts without DS.

-----  
 -----  
 -----

# Arsenic-Segregated Rare-Earth Silicide Junctions: Reduction of Schottky Barrier and Integration in Metallic n-MOSFETs on SOI

Guilhem Larrieu, *Member, IEEE*, Dmitri A. Yarekha, Emmanuel Dubois, *Member, IEEE*, Nicolas Breil, and Olivier Faynot

**Abstract**—As an attempt to considerably reduce the equivalent contact resistivity of Schottky junctions, this letter studies the integration of rare-earth silicides, known to feature the lowest Schottky barriers (SBs) to electrons, coupled with a dopant segregation based on arsenic ( $\text{As}^+$ ) implantation. Both erbium (Er) and ytterbium (Yb) have been considered in the *implant-before-silicide* (IBS) and *implant-to-silicide* flavors. It is shown that the two schemes coupled with a limited thermal budget (500 °C) produce an SB below the target of 0.1 eV. The implementation of IBS arsenic-segregated  $\text{YbSi}_{1.8}$  junctions in an n-type SB-MOSFET is demonstrated for the first time resulting in a current-drive improvement of more than one decade over the dopant-free counterpart.

**Index Terms**—Dopant segregation (DS), MOSFETs, rare-earth (RE) silicide, Schottky barrier (SB), silicon, Silicon-on-insulator (SOI).

## I. INTRODUCTION

AS CMOS scaling approaches the deep decanometer range, the metallic source/drain (S/D) architecture holds the distinctive advantage to relax severe constraints imposed to conventional implanted S/D [1] because the doped extensions are replaced by low-resistance metallic junctions that potentially offer atomically sharp silicide/silicon interfaces. As far as electron transport is considered, rare-earth (RE)-based silicides are known to present the lowest Schottky barrier (SB) heights (SBH), around 0.27–0.28 eV in the best case [2], [3]. However, n-MOSFETs featuring RE-silicide S/D have revealed that the barrier height remains too large, resulting in device performance that is limited by the efficiency of thermionic and tunnel emission [4]–[6]. Considering that the SBH should not exceed

0.1 eV in order to position SB-MOSFETs advantageously with respect to conventional technology [7], the elaboration of an efficient barrier-modulation technique appears inescapable to promote electron injection through the barrier. Recently, according to the so-called dopant-segregation (DS) technique, it has been demonstrated [8]–[11] that dopant implantation and subsequent pileup at the metal/semiconductor interface significantly lowers the effective barrier height of Schottky junctions at reduced thermal budget. As far as DS technique in functional devices is considered, n-MOSFETs have been demonstrated based on arsenic S/D implantation cointegrated with midgap silicides, e.g., nickel [8] and cobalt [9] silicides. The same technique was also applied using a sulfur implantation, a double donor, combined with NiSi [10]. Nevertheless, the association of n-type dopants to a conduction band-edge silicide (e.g.,  $\text{ErSi}_{1.7}$ ,  $\text{YbSi}_{1.8}$ ) appears as the most promising approach that takes advantage of the low initial SBH and of the additional barrier lowering and thinning induced by DS. This methodology that combines a band-edge silicide to its appropriate dopant type has been demonstrated for p-type MOSFETs through the implementation of PtSi coupled with boron (acceptor) segregation [11]. In this letter, arsenic-segregated RE metallic junctions based on the *implantation-before-silicidation* (IBS) and *implantation-through-silicide* (ITS) approaches are compared in terms of SB reduction. For the first time, arsenic-segregated  $\text{YbSi}_{1.8}$  S/D junctions are also implemented in a thin-film Silicon-on-insulator (SOI) n-MOSFET, and the improvement of current drive over dopant-free RE SB-MOSFETs is discussed.

## II. SCHOTTKY-JUNCTION ENGINEERING USING DS

For the sake of SB measurement, simple metallic junctions were fabricated on lowly doped ( $10 \Omega \cdot \text{cm}$ ) n-type (100) Si wafers. The dedicated test structures consisted of  $200 \times 200 \mu\text{m}^2$  square-shaped silicided contacts separated by a micrometer gap defined by lithography to produce back-to-back junctions [12]. Because of the extremely high sensitivity of RE elements to oxygen, care has been taken to limit or suppress any oxidation reaction at the silicide/silicon interface by operating in ultrahigh vacuum (UHV) during the RE deposition and silicidation steps. After a 1-% HF dip to deoxidize the silicon surface, a 15-nm-thick erbium or ytterbium layer was deposited using e-beam evaporation. Samples were transferred to the annealing chamber ( $5 \times 10^{-9}$  mbar) without breaking vacuum and annealed for 1 hour at 480 °C for Ytterbium and 500 °C

Manuscript received June 10, 2009; revised September 11, 2009. First published October 30, 2009; current version published November 20, 2009. This work was supported by the European Commission through the METAMOS (FP6-IST-016677) and NANOSIL Projects (FP7-IST-216171). The review of this letter was arranged by Editor C. Bulucea.

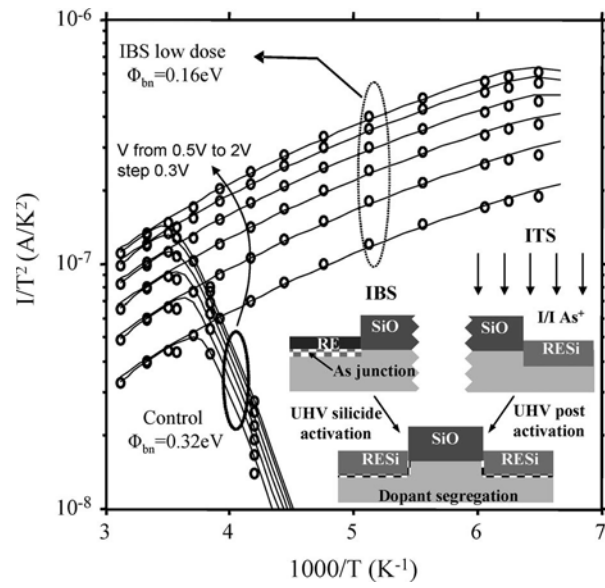
G. Larrieu, D. A. Yarekha, and E. Dubois are with the Institut d'Electronique et de Microelectronique et de Nanotechnologie (IEMN), UMR CNRS 8520, 59652 Villeneuve d'Ascq, France (e-mail: guilhem.larrieu@isen.iemn.univ-lille1.fr; dmitri.yarekha@iemn.univ-lille1.fr; emmanuel.dubois@isen.iemn.univ-lille1.fr).

N. Breil is with IBM, 38926 Crolles, France (e-mail: nicolas.breil@fr.ibm.com).

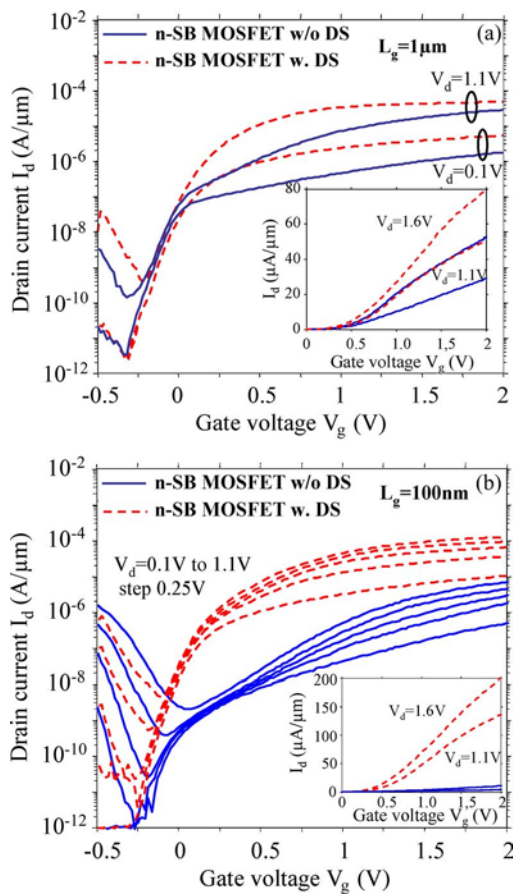
O. Faynot is with CEA-LETI, 38054 Grenoble, France (e-mail: olivier.faynot@cea.fr).

Color versions of one or more of the figures in this letter are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/LED.2009.2033085







# CMOS Inverter Based on Schottky Source–Drain MOS Technology With Low-Temperature Dopant Segregation

Guilhem Larrieu and Emmanuel Dubois

**Abstract**—This letter demonstrates the integration of complementary dopant-segregated Schottky barrier MOSFETs into CMOS inverters. The implementation of a valence-band-edge silicide, namely, PtSi, associated to arsenic (As) and boron (B) low-temperature segregation is validated for the first time at the circuit level. Current drives for n- and p-type devices are  $I_{on} = 596/378 \mu\text{A}/\mu\text{m}$  at  $V_{ds} = |1.1 \text{ V}|$  and  $|V_{gs}| = 2 \text{ V}$  to account for the 2.4-nm gate oxide thickness. Excellent inverter voltage transfer characteristics, large voltage gain, and appreciable noise margins have been obtained down to 0.5 V of supply voltage.

**Index Terms**—CMOS inverter, dopant segregation (DS), MOSFETs, Schottky barrier (SB), silicon-on-insulator (SOI).

## I. INTRODUCTION

**T**HIN-BODY MOSFET architectures associated to upcoming technology nodes are expected to deliver a higher current drive at shallower junction depth and reduced silicide thickness. As a consequence, severe constraints are imposed to conventional implanted source/drain (S/D) in terms of dopant activation that governs the sheet and contact resistivities and in terms of lateral dopant profiling that directly impacts short channel effects. One alternative is to use silicided metallic contacts that present a very low effective Schottky barrier height (SBH) to electrons and holes for n-type and p-type MOSFETs, respectively. Considering that the equivalent SBH should not exceed 0.1 eV in order to position Schottky-barrier (SB) MOSFETs advantageously with respect to conventional technology [1], low-temperature dopant segregation (DS) at the Schottky interface has emerged as a sound technological solution. The most advantageous methodology is to combine a band-edge silicide to its appropriate dopant type. In that way, p-type MOSFETs with boron-segregated PtSi contacts have been demonstrated [2]. Conversely, a conduction band-edge silicide such as  $\text{YbSi}_{2-x}$ , coupled to As segregation, has been proposed for the n-MOSFET counterpart [3]. However,

this last approach faces two major obstacles: 1) the integration of a second silicide material; and 2) difficulties to process rare-earth silicides due to their high affinity with oxygen and reactivity with silicon-based dielectric materials [4]. Although a material like PtSi that presents a large SBH to electrons is theoretically not attractive for n-MOS devices, its association to As segregation [5] proved to produce near 0.1 eV barrier. Following this integration strategy, 0.35- $\mu\text{m}$ -long-gate n-MOSFETs have been demonstrated [6]. Dopant-segregated Schottky S/D integration in basic complementary CMOS inverter has also been demonstrated for midgap silicides [7]–[9]. Referring to these last reports, the so-called *implantation before silicidation* scheme was used in conjunction with high-temperature activation. Under these conditions, the advantage of low-temperature processing to relax constraints associated to the integration of temperature-sensitive materials is, however, lost. Although the utility of PtSi for both n- and p-type injection has also been outlined in the literature through material studies [4], [5], [10], no report exists on its practical implementation in basic digital circuitry. Recently, Khater et al. have provided a comprehensive performance review of Schottky source/drain transistors using a single silicide [11], without elaborating, however, on basic digital circuit operation. This letter proposes the first report on complementary SB-MOSFETs integrated in CMOS inverters based on As- and B-segregated PtSi contacts integrated in the so-called *implant-through-silicide* flavor using a single segregation activation step at 600 °C. Based on this process, functional elementary inverters down to 70 nm of gate length are demonstrated. In the first step, the CMOS process integration is briefly recalled, and individual current–voltage characteristics are detailed. Essential circuit parameters such as the output logic levels, static noise margins, and voltage gain of the  $V_{out}$ – $V_{in}$  transfer characteristic are subsequently extracted and discussed.

## II. DESIGN AND EXPERIMENT

The starting material consists of a (100)-oriented p-type doped ( $4\text{--}10 \Omega \cdot \text{cm}$ ) SOI substrate that was thinned from 50 down to 16 nm by chemical etching [12]. The main process steps are summarized in Fig. 1(a) and are detailed in [13]. The process sequence begins with the definition of a MESA isolation recess by etching the SOI active layer down to the buried oxide. The gate stack is composed of a 2.4-nm thermal oxide covered by a 50-nm-thick tungsten metal gate. Slim

Manuscript received December 20, 2010; revised March 9, 2011; accepted March 11, 2011. Date of publication April 6, 2011; date of current version May 25, 2011. This work was supported by the European Commission through the METAMOS project (016677) and NANOSIL project (216171). The review of this letter was arranged by Editor B.-G. Park.

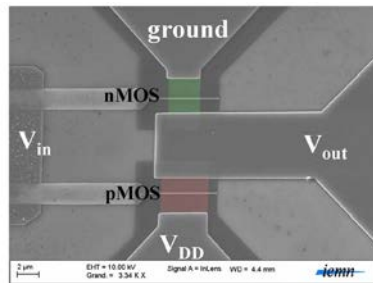
G. Larrieu is with LAAS, CNRS, Université de Toulouse, 31077 Toulouse, France (e-mail: guilhem.larrieu@laas.fr).

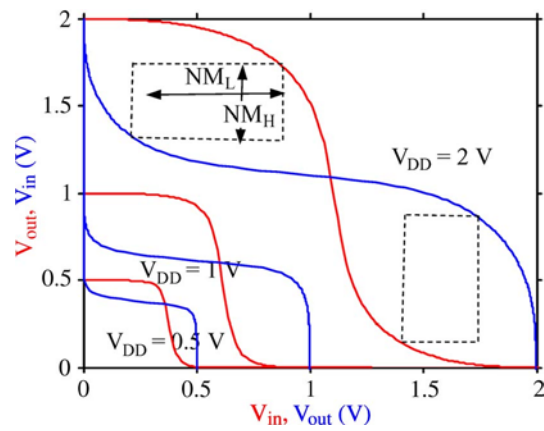
E. Dubois is with the Institut d'Electronique et de Microélectronique et de Nanotechnologie, UMR CNRS 8520, 59652 Villeneuve d'Ascq, France (e-mail: emmanuel.dubois@isen.iemn.univ-lille1.fr).

Color versions of one or more of the figures in this letter are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/LED.2011.2131111

- Mesa isolation
- Gate patterning and spacer formation
- PtSi S/D silicidation
- As I/I on n window
- $\text{BF}_2^+$  I/I on p window
- DS activation RTA 600°C
- Al pads





- pp. 139–144.
- [16] J. R. Hauser, “Noise margin criteria for digital logic circuits,” *IEEE Trans. Educ.*, vol. 36, no. 4, pp. 363–368, Nov. 1993.



## 2 TRANSISTORS 3D A NANOFILS.

---

### 2.1 POSITION DU PROBLEME ET CONCEPT:

---

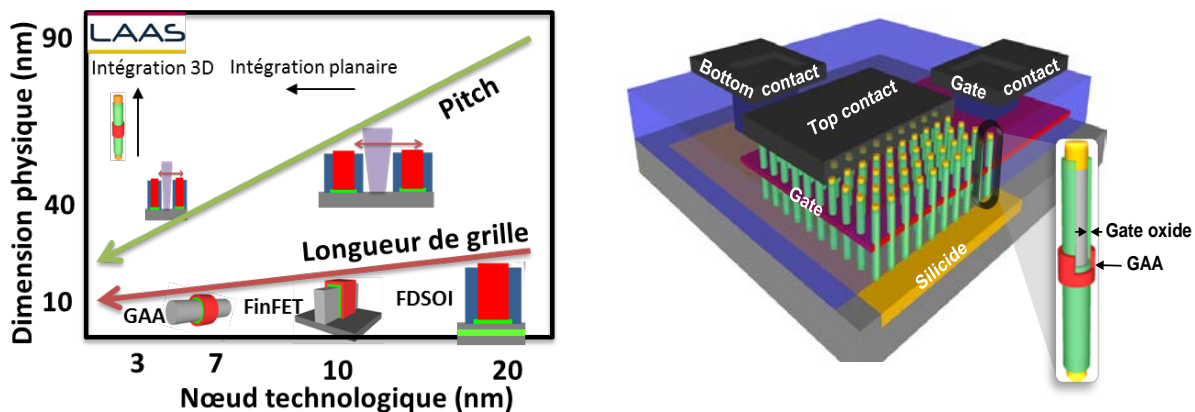
Historiquement, le développement de la microélectronique ainsi que l'évolution des performances des circuits étaient simplement régis par la réduction de la taille du dispositif de base de ces circuits: le transistor MOS. Actuellement la taille de cet élément a atteint des dimensions nanométriques générant de nombreuses limitations physiques, en particulier l'augmentation de la puissance consommée par puce. Ceci a entraîné le développement de nouvelles architectures MOS, telles que les dispositifs multi-grilles (approches canal à ailette, triple grilles), qui provoque un engouement industriel conséquent. Ces nouvelles structures ont permis une nette amélioration du contrôle électrostatique du canal. L'évolution «naturelle» de ces architectures serait d'utiliser un transistor avec une grille enrobant un nanofil de semi-conducteur<sup>36</sup>. Cette structure représente le cas idéal pour le contrôle électrostatique des charges et permettrait ainsi de continuer la miniaturisation des transistors. Néanmoins, le courant circulant à travers de tels dispositifs dans l'état passant reste faible, car limité par la petite section du nanofil. Il est donc essentiel de mettre en œuvre ces transistors sur des réseaux de nanofils, plutôt que sur des nanofils uniques, afin de combiner l'excellent contrôle électrostatique avec un niveau de courant de commande élevé.

Les nombreuses méthodes de fabrication des NFs peuvent être regroupées en deux catégories: l'approche montante dite bottom-up (BU) et l'approche conventionnelle descendante dite top-down (TD). Dans la première, les NFs sont crus sur un substrat de départ en utilisant des techniques de dépôt chimique, tandis que la seconde est basée sur la gravure sélective d'un matériau massif pour générer des nanostructures.

En ce qui concerne les questions d'intégration, les NFs peuvent être adressés horizontalement (planar-like) ou verticalement. Les approches horizontales sont limitées en termes de densité d'intégration. Les « fils » réalisés par gravure présentent au mieux une densité d'intégration légèrement supérieure au transistor planaire classique. L'empilement de canaux horizontaux<sup>37</sup> rend les procédés extrêmement complexes et peu enclin à une miniaturisation ultime des dispositifs. D'un autre côté, l'intégration verticale est une approche particulièrement attractive de par son extrême densité d'intégration (70% de gain de surface comparé à un transistor planaire<sup>38</sup>) ainsi que ses possibilités d'agencement des dispositifs alternatives. En effet, la réduction des dimensions des transistors va de concert avec l'espacement entre deux transistors, appelé « pitch ». Comme représenté schématiquement sur la **Fig. 28 a**, il est attendu pour des miniaturisations extrêmes (nœud technologique sub-7nm) que l'espacement entre deux dispositifs sera tellement réduit qu'il sera très complexe de former les vias

métalliques connectant les trois terminaux du transistor. Cette contrainte fondamentale est relaxée avec l'approche verticale puisqu'un des terminaux est directement dans le prolongement du canal de conduction. Quant aux deux autres, il existe un degré de liberté de 360° pour les réaliser. De plus, il existe la possibilité d'empiler plusieurs transistors sur un même fil ou réseau de fils. Enfin son procédé est faible coût due à (i) l'absence d'alignement de masques critiques, d'étape haute définition (la longueur de grille du transistor est simplement définie par l'épaisseur de métal de grille déposée) et directement compatible avec des NFs synthétisés (croissance de NFs dans la direction verticale). De nombreux groupes de recherche travaillent sur la croissance de nanofils mais les dispositifs réalisés demeurent très perfectibles. Cet axe de recherche propose de développer un procédé de transistor vertical générique, démontré sur des réseaux denses de nanofils de silicium obtenus par gravure puis étendus à des nanofils obtenus par croissance avec des matériaux du groupe IV (Si, Ge) ou III/V. Une représentation schématique est décrite **Fig. 28b**. Ce type d'architecture verticale est un véritable défi technologique et doit, en plus, répondre à un certain nombre de challenges inhérents aux dispositifs non planaires comme les larges résistances d'accès source/drain ou encore les larges capacités de recouvrements

Les premières démonstrations se sont focalisées sur une architecture à base de réseaux de nanofils verticaux en Si obtenu par gravure dont le procédé serait parfaitement compatible avec la filière CMOS. L'activité couvre un spectre de recherche assez large, de l'ingénierie des matériaux jusqu'à l'élaboration et la caractérisation de dispositifs à grille nanométrique, en tentant de lever les verrous associés aux principales briques de base de cette technologie, en particulier la siliciuration des zones source/drain ou l'oxydation contrôlée de ces nanostructures.



*Fig. 28: a) Dimension physique des dispositifs en fonction du nœud technologique correspondant b) Représentation schématique d'une intégration verticale sur un réseau de nanofil, composé de contact source et drain en haut et bas et d'une grille métallique au milieu*



## 2.2 REALISATION DE RESEAU LOCALISE DE NANOFILS.

---

La fabrication de nanofils semi-conducteur est généralement décrite par les deux principales routes de la nano-fabrication : l'approche descendante (top-down) et l'approche ascendante (bottom-up). Elles possèdent chacune leurs propres avantages : l'approche bottom-up permet potentiellement la croissance de nanofils avec des matériaux de nature très variée et d'excellente qualité alors que l'approche top-down permet une intégration rapide dans un procédé CMOS standard, avec une très grande reproductibilité, un contrôle des paramètres des nanofils (position, diamètre, densité) et exempt de toute contamination pouvant être générée par le catalyseur lors de la croissance.

Nous adresserons principalement ici la fabrication de nanofils en silicium et en matériau à haute mobilité pour des applications de dispositifs logiques mais ces différentes approches restent pertinentes pour d'autres types de dispositifs comme des capteurs ... Afin de répondre aux contraintes associées à la nanoélectronique, la fabrication des nanofils doivent satisfaire différents prérequis : (i ) le procédé doit être CMOS compatible, (ii) intégré sur une plateforme silicium standard (iii) reproductible tant sur les caractéristiques des fils (diamètres, hauteurs, densité ...) que sur leurs placements (iv) maîtrise de la qualité du matériau et de ses interfaces.

---

### 2.2.1 APPROCHE DESCENDANTE (TOP-DOWN)

---

La fabrication top-down utilise la stratégie et les outils conventionnels de la microélectronique afin de sculpter les structures à la surface d'un volume de matériau plus grand. Elle utilise deux étapes principales : (i) le masquage où des structures de géométrie et de taille peuvent être créées de manière contrôlable en utilisant diverses techniques de lithographie, comme la photolithographie, la lithographie par faisceau d'électrons ou la nano-impression, (ii) le transfert de ces structures de masquage par gravure. Un procédé de gravure par voie sèche telle qu'une gravure ionique réactive (RIE) est la technique de fabrication la plus courante permettant l'obtention de profil anisotrope, notamment pour les nanofils verticaux à fort facteur de forme.

#### 2.2.1.1 Structuration par lithographie électronique.

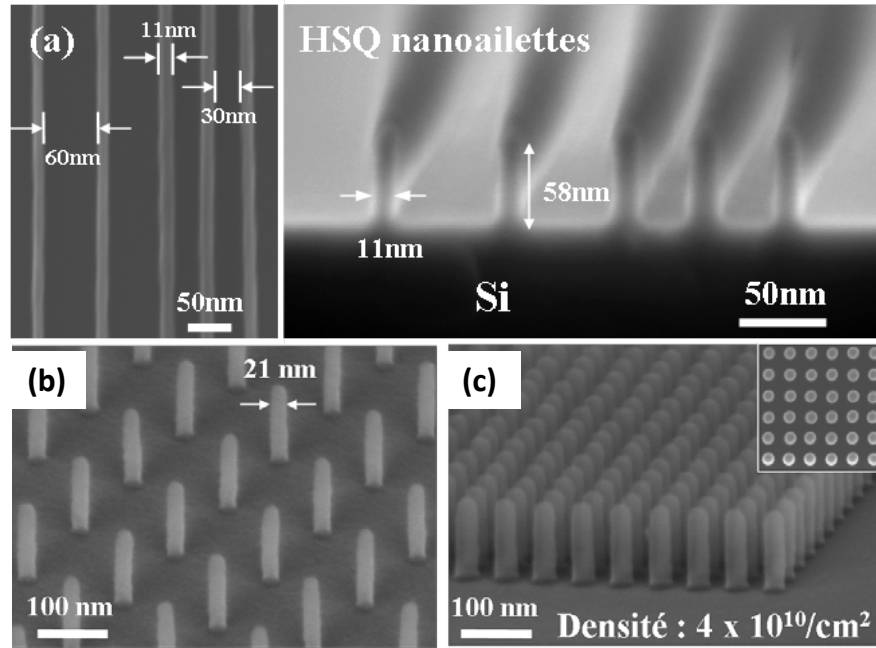
---

L'écriture par lithographie électronique consiste à envoyer des électrons sur une résine sensible aux électrons afin d'en modifier ses propriétés structurales. La résolution atteinte ici peut être de l'ordre de quelques nanomètres seulement. L'écriture électronique de la résine est directe et ne nécessite donc pas de fabrication de jeu de masque physique. Par contre, l'écriture séquentielle se traduit par des temps d'écriture beaucoup plus longs, pouvant atteindre plusieurs heures. Les rendements présentés par

cette technologie sont donc faibles et impactent directement le coût de production des dispositifs. Pour pallier ce problème de productivité, des systèmes à faisceaux multiples sont introduits permettant d'écrire simultanément plusieurs champs sur un même substrat. Par exemple, «MAPPER Lithography»,<sup>39</sup> a développé une nouvelle technologie utilisant plus de 10000 faisceaux d'électrons en parallèle. Cette approche permet d'améliorer les performances et de réduire les coûts de fabrication, rendant cette technologie plus attractive pour la fabrication de puces sans masque.

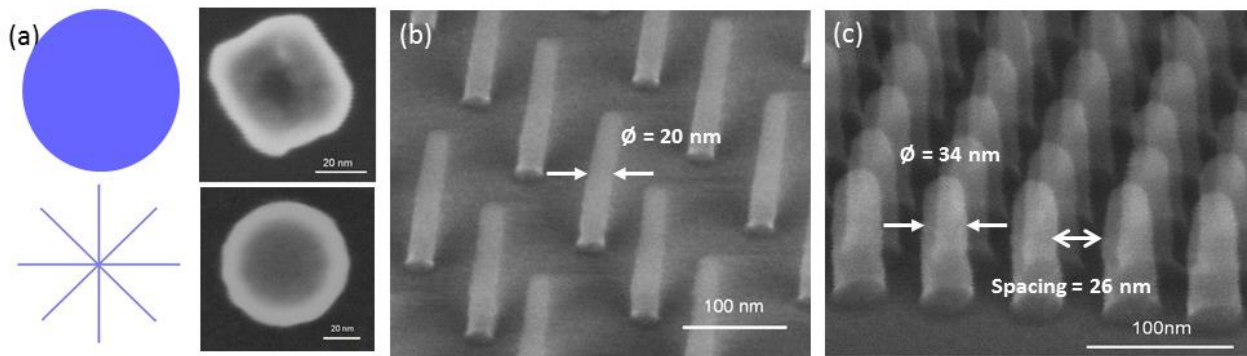
Au cours de ces travaux, la résine inorganique et négative HSQ (Hydrogen SilsesQuioxane) a été choisie pour ses propriétés électro-sensibles à très hautes résolutions. De plus, ce polymère ( $\text{HSiO}_{3/2}\text{n}$ ), proche d'un oxyde de silicium, lui confère des propriétés intéressantes vis-à-vis de la gravure plasma tant en terme de sélectivité que de redépôt de résidus de gravure sur la surface de l'échantillon. Dans ce travail, des solutions commercialisées par Dow Corning, sous la nomenclature Fox-16 et XR5% (solution composée de HSQ dilué dans le solvant MIBK (Methyl IsoButyl Ketone)), sont utilisées afin d'obtenir une gamme d'épaisseur variant de quelques dizaines à plusieurs centaines de nanomètres. Après dépôt de résine, le faisceau électronique est utilisé pour polymériser la HSQ à l'endroit où le faisceau est focalisé. Lors de cette réaction, les liaisons des monomères de structure cage ( $\text{Si-H}$  et  $\text{Si-O}$ ) vont se briser, permettant ainsi aux monomères de se lier entre eux pour former une structure réseau plus résistante à la gravure au Tetra Methyl Ammonium Hydroxyde (TMAH) dilué à 25% dans de l'eau que la structure cage lors de l'étape de développement.

Après optimisation des paramètres d'écritures, des démonstrations de différents motifs<sup>40</sup>, tels que nano-ailettes et nano-piliers ont été réalisés afin de pouvoir créer, après transfert par gravure, des nanofils horizontaux ou verticaux. La **Fig. 29** présente des images MEB de réseaux denses (espacement minimum de 30nm) de (a) nano-ailettes ultrafines de HSQ (largeur de 11nm) et de (b) nano-piliers de 20 nm de diamètres. Les motifs sont très bien définis, avec un excellent profil vertical et sans résidus restant entre les nano-ailettes. Ces résultats ont été obtenus à haute énergie (100kV) avec un Vistec EBPG 5000+ (IEMN).



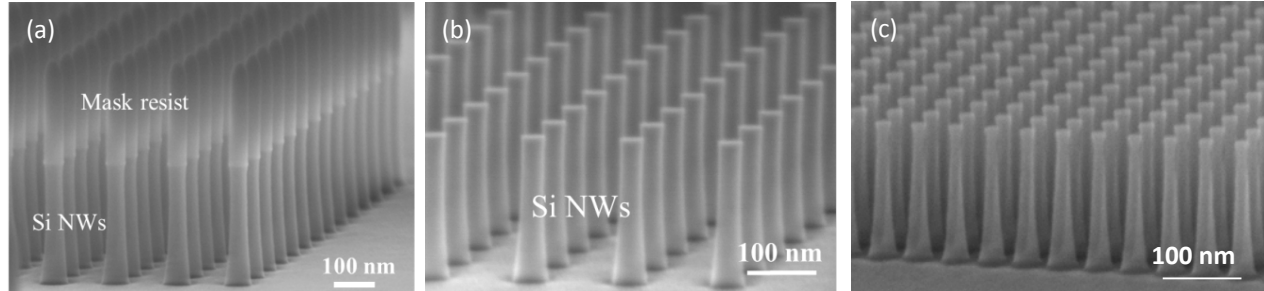
**Fig. 29:** Image MEB (vue par-dessus et de coupe) (a) d'un réseau de nano-ailette en HSQ avec une largeur de 11 nm, une hauteur de 58 nm et (b) d'un réseau de nano-piliers diamètre ultrafin ( $d=21$  nm;  $H=130$  nm), (c) Réseau ultra-dense ( $d=25$  nm;  $H=130$  nm ;  $P=25$  nm ; densité= $4 \times 10^{10} \text{ cm}^{-2}$ ), image en insert est l'image du réseau en vue de dessus.

Toutefois, les machines permettant de travailler à de telles tensions ne sont pas largement répandues en raison de leur coût élevé de propriété (TCO). Par ailleurs, des temps d'exposition plus longs sont attendus lorsque de hautes tensions sont utilisées (dépendance linéaire de la dose avec l'énergie). Pour contourner ces limitations potentielles, une nano-structuration de résine à une énergie plus faible est d'un intérêt indéniable mais difficile en raison de sa plus grande sensibilité aux effets de proximité. Récemment, nous avons développé des approches d'écritures non conventionnelles <sup>41</sup> basées sur des structures étoiles afin d'utiliser des gammes d'énergies plus faible (20kV).



**Fig. 30:** Ecriture basse énergie (20kV) a) Stratégies de dessin de nanostructures et résultat associé du motif en HSQ. Image MEB (vue tilté) d'un réseau de nano-ailette en HSQ (a) avec un diamètre de 20 nm et c) un diamètre de 34 nm et un espacement de 26 nm.

Ces motifs ont été transférés dans le silicium (**Fig.31b**) par gravure d'ions réactifs utilisant un plasma de chimie chlorée et une faible pression afin d'obtenir des nanofils verticaux dont l'anisotropie est proche de 94%<sup>42</sup>. **Fig.31c** montre le réseau final après le retrait de l'oxyde de gravure.



**Fig.31:** a) Définition d'un masque dense par lithographie électronique en utilisant une résine HSQ (nanofils de 30 nm avec un pas de 30 nm). b) motifs transférés par gravure d'ions réactifs utilisant un plasma de chimie chlorée. c) La résine est gravée sélectivement pour laisser apparaître le réseau de NFs.

## 2.2.2 APPROCHE COMBINATOIRE (TOP-DOWN / BOTTOM-UP)

La fabrication de NFs semi-conducteurs, synthétisés par une approche bottom-up, a fait des progrès impressionnants au cours de la dernière décennie, démontrant des nanostructures de haute qualité cristallines réalisées épitaxiées sur des matériaux à fort désaccord des mailles y compris des hétérostructures axiales ou radiales. Toutefois, l'organisation de ces NFs, soit par croissance localisée soit par des méthodes de report par des techniques d'alignement générique à grande échelle reste un défi majeur pour imaginer des dispositifs à base de NFs pouvant être réalisés à grande échelle et potentiellement à un niveau industriel.

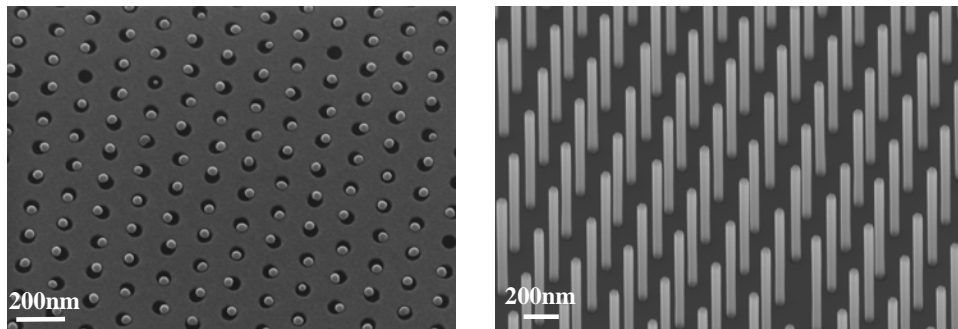
Deux approches ont été développées en parallèle, chacune répondant à des applications et intégrations particulières:

- La croissance localisée (« *growth in place* »), où les catalyseurs métalliques (pour croître les NFs) sont ordonnés sur le substrat par structuration de surface, est particulièrement adaptée pour la fabrication de réseaux ordonnés de NFs verticaux.
- L'assemblage dirigé (« *growth to place* ») de NFs, permet de placer les fils après leur croissance. Les deux étapes sont indépendantes : la synthèse est réalisée telle que, sur un substrat permettant de relaxer les contraintes sur la croissance (procédé d'élaboration simple, faible coût et grande densité) puis les nanofils sont désolidarisés et manipulés sur un substrat hôte.

### 2.2.2.1 Croissance localisée de nanofils (« growth in place »).

Une approche montante (B-U) a été développée, en vue de l'intégration de matériau de canal de type III-V à haute mobilité de porteurs. Ces travaux ont été initiés en collaboration avec le groupe croissance de l'IEMN à Lille (P. Caroff, S. Plissard) et se poursuivent avec S. Plissard, nouveau chargé de recherche CNRS dans l'équipe MPN.

Le but était d'obtenir des réseaux de NFs III-V parfaitement localisés sur un substrat de Si, sans utiliser de catalyseurs métalliques contaminant les technologiques CMOS, comme l'or. Des réseaux de trous sont réalisés dans une couche d'une dizaine de nanomètres d'oxyde par gravure. L'échantillon est entré dans l'enceinte du bâti d'épitaxie par jet moléculaire (MBE) où un faible flux de gallium permet d'auto-organiser dans les nano-trous des billes de Ga (**Fig. 32a**). Puis une croissance de type vapeur-liquide-solide (VLS) permet la croissance de NFs de GaAs en utilisant les billes de Ga ainsi localisées. Après optimisation<sup>43</sup>, des pourcentages de NFs extrêmement élevés ont pu être démontrés <sup>44</sup> (**Fig. 32b**).



**Fig. 32 :** a) Billes de Ga auto-organisées dans des nanotrous de silice b) réseau de NFs de GaAs sur Si(111).

### 2.2.2.2 Assemblage dirigé de nanofils (« growth and place »)

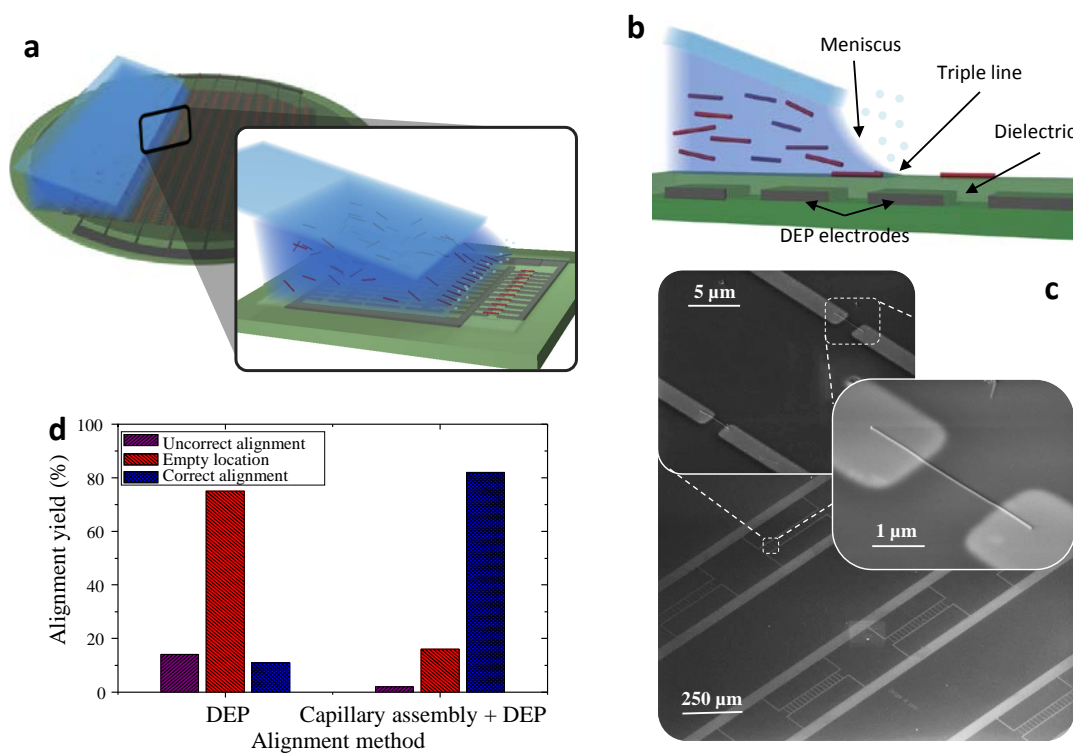
Des progrès impressionnants ont été réalisés au niveau de la compréhension et de la maîtrise de la croissance de nanofils semiconducteurs ainsi que dans la fabrication des démonstrateurs les intégrant dans des domaines aussi variés que la nanoélectronique, la photonique, la récupération d'énergie ou la bio détection. Néanmoins, l'assemblage contrôlé de nanofils à grande échelle reste l'un des principaux verrous entravant la possible introduction dans l'industrie des semi-conducteurs. Différentes techniques ont été proposées pour assembler des NFs sur un substrat, telles que le dépôt de Langmuir-Blodgett, le transfert par impression, l'assemblage par force capillaire<sup>45</sup>. Cependant, ces méthodes ne permettent pas facilement de réaliser un alignement unique de NFs avec un positionnement précis, sans recourir à un haut degré de complexité de fabrication. En raison de son potentiel pour surmonter cette limitation, l'utilisation de la diélectrophorèse (DEP) pour manipuler ces

nano-objets a reçu une attention croissante. Il a été établi qu'un champ électrique non uniforme appliqué entre des électrodes inter-digitées peut induire une polarisation importante des nanostructures diélectriques<sup>46</sup>. La force DEP qui en résulte permet alors à des NFs, en suspension dans la solution, de surmonter les autres forces mises en jeu et de se localiser sur ces électrodes à des endroits spécifiques. Des études plus récentes ont fait progresser la technique en permettant une meilleure compréhension de phénomènes physiques sous-jacents <sup>47</sup> tout en améliorant la reproductibilité <sup>48</sup>. Toutefois, certaines questions clés restent à être adressées de manière simple afin de tendre vers des taux de rendement de capture élevés: (i) l'augmentation de la concentration de NFs dans la région attractive de la DEP, et (ii) le contrôle des forces hydrodynamiques exercées sur les NFs tandis que le solvant s'évapore.

Une solution simple consiste à dispenser la solution contenant les nanofils directement sur les électrodes de DEP, d'appliquer le signal de tension appropriée pour attirer les NFs sur les électrodes avant le séchage par soufflage avec de l'azote. Cependant, cette méthode donne des résultats médiocres car les NFs peuvent s'éloigner de leurs positions initiales lors du séchage. Afin de surmonter ces inconvénients, une approche intéressante consiste à coupler DEP avec un alignement assisté par écoulement fluide<sup>49</sup>, ce qui démontre un rendement très impressionnant. Néanmoins, cette approche nécessite une cellule micro-fluidique avec un contrôle précis de la vitesse d'écoulement, ce qui est difficile à mettre en œuvre à échelle d'un substrat entier.

Dans ce contexte, nous avons développé une approche innovante, qui combine la diélectrophorèse et l'assemblage capillaire afin d'aligner des milliers de NFs uniques à des endroits précis à échelle du substrat entier<sup>50</sup>. Un bref résumé de la technique est la suivante. Lorsque les NFs pénètrent dans le champ de force de la DEP, ils sont attirés à des endroits précis entre les électrodes DEP et doivent maintenir leurs positions lorsque la solution liquide est éliminée. Pour contrôler les effets liés à cette étape critique, nous avons associé la DEP à l'assemblage capillaire, qui consiste à faire glisser le ménisque de la solution de NFs sur un substrat, à une vitesse et une température contrôlées (**Fig. 33a**). L'assemblage se produit au niveau de la ligne triple de contact des trois phases (**Fig. 33b**); tandis que le liquide s'évapore, un flux convectif est créé dans la solution, ce qui augmente localement la concentration de NFs au niveau du ménisque. Les NFs sont ensuite capturés par les forces DEP. Les résidus de liquide autour des nanofils s'évaporent, et les forces capillaires fixent alors les NFs à la surface. Ainsi, notre procédure, qui combine ces deux phénomènes, montre une nette amélioration de l'efficacité de capture de chaque site DEP, l'alignement des NFs et leur localisation précise (**Fig. 33c**).





**Fig. 33 :** a) Représentation schématique 3-D de la configuration d'assemblage capillaire sur un substrat 6pouces structuré d'électrodes DEP interdigitées. b) Vue schématique en coupe transversale du ménisque (triple ligne) au voisinage de l'évaporation du liquide sur les électrodes DEP enterrées. c) Assemblage à grande échelle de NFs uniques, illustré par des images MEB en vue tiltée à petit, moyen et fort grossissement d) Comparaison du rendement de capture de NF avec DEP seule et DEP couplée à l'assemblage capillaire.

Les nanofils utilisés dans cette étude sont issus de croissance VLS (vapeur-liquide-solide) catalysée or en silicium (diamètre ~ 50 nm, longueur ~ 4 - 5 μm) et en InAs (diamètre ~ 100 nm, longueur ~ 3 - 4 μm). Après sonication, les NFs sont en suspension dans une solution composée de 80% d'alcool isopropylique (IPA) et de 20% d'eau déminéralisée afin de contrôler la formation du ménisque. Une goutte de 20 μl de solution est injectée entre le substrat en mouvement et la lame de verre fixe. Les électrodes métalliques de DEP ont été préalablement structurées sur un substrat de silicium de 6 pouces de diamètre et isolées électriquement de la surface par une couche diélectrique de planarisation déposée par spin-on-glass (voir chapitre 3.4.2).

Dans ces conditions optimisées (tension sinusoïdale de 3,2 V<sub>pp</sub> à 50 kHz), nous avons localisé des NFs uniques dans 81% des sites spécifiques (> 500 sites), comme illustré sur la **Fig. 33c**. Coupler la diélectrophorèse avec un assemblage convectif a permis d'améliorer d'un facteur 5 l'efficacité de capture de la technique (**Fig. 33d**). Ce rendement de capture est bon, étant donné que les NFs sont relativement courts (des rendements plus élevés ont été obtenus avec des NFs plus longs<sup>49</sup>). Le rendement de



capture n'est pas limité par la méthode combinée d'assemblage, mais plutôt par la pureté de la solution contenant les fils.

L'efficacité de capture maximale pour un nanofil de Si non dopé (**Fig. 34a**) a été obtenue avec une fréquence spécifique de 50 kHz. Pour une meilleure compréhension des mécanismes sous-jacents, la force DEP exercée sur une particule peut être décrite par l'expression analytique suivante :  $\vec{F}_{DEP} = \Gamma \varepsilon_m \text{Re}[K(\omega)] \nabla \vec{E}^2$  (Eq. 2), où  $\Gamma$  est une constante géométrique qui dépend de la forme et du volume de la nanoparticule considérée,  $\varepsilon_m$  est la permittivité du milieu,  $\nabla \vec{E}^2$  est le gradient du module au carré du champ électrique, et  $K(\omega)$  est le facteur de Clausius-Mossotti, qui est une fonction de la fréquence angulaire du champ appliqué, de la permittivité et de la conductivité respective du milieu ( $\varepsilon_m, \sigma_m$ ) et des NFs ( $\varepsilon_p, \sigma_p$ ). Contrairement à une particule sphérique isotrope, les NFs sont considérés comme des structures 1-D en raison de leur rapport d'aspect élevé. Par conséquent, leur polarisation varie en fonction de leur orientation par rapport au gradient de champ électrique. Ainsi, le facteur de Clausius-Mossotti peut être exprimé selon les axes longs et courts des nanofils<sup>51</sup>, comme dans les équations 3 et 4.

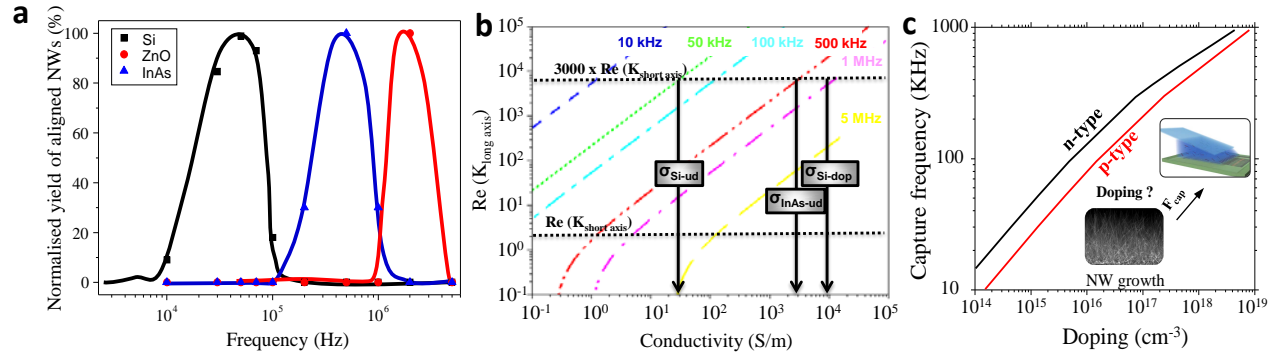
$$\text{Re}[K_{long\ axis}(\omega)] = \frac{\omega^2 \varepsilon_m (\varepsilon_p - \varepsilon_m) - \sigma_m (\sigma_m - \sigma_p)}{\omega^2 \varepsilon_m^2 + \sigma_m^2} \quad \text{Eq. 3}$$

$$\text{Re}[K_{short\ axis}(\omega)] = 2 \cdot \frac{\omega^2 (\varepsilon_p^2 - \varepsilon_m^2) + \sigma_p^2 - \sigma_m^2}{\omega^2 (\varepsilon_p + \varepsilon_m)^2 + (\sigma_p + \sigma_m)^2} \quad \text{Eq. 4}$$

Dans le cas de NFs de Si non dopés, la fréquence optimale de capture ( $F_{cap}$ ) a été obtenue à 50 kHz, ce qui conduit à la relation empirique suivante entre les contributions des axes courts et longs:  $\text{Re}[K_{long\ axis}(\omega)] \approx 3000 \text{Re}[K_{short\ axis}(\omega)]$  Eq. 5.

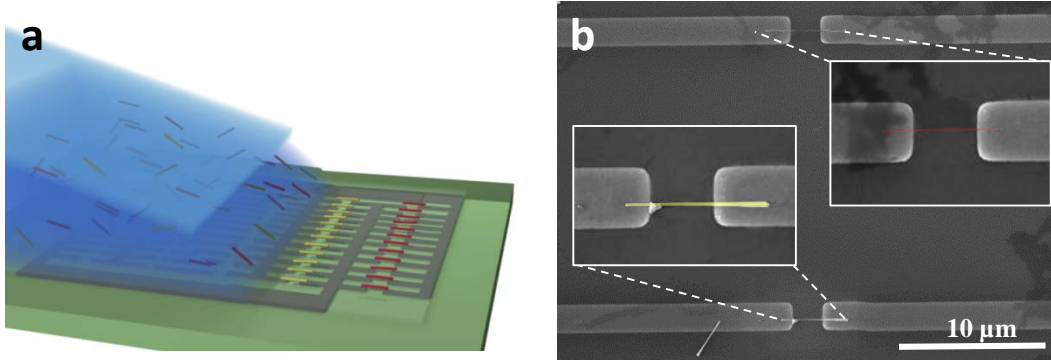
D'après les équations 3 et 4,  $F_{cap}$  est intrinsèque au matériau considéré, et ne dépend donc que de la permittivité diélectrique  $\varepsilon_p$  et de la conductivité  $\sigma_p$  de ce dernier. Nous avons démontré expérimentalement que des NFs d'InAs ou de ZnO présentent un décalage de fréquence optimale de capture par rapport à des NFs de Si (**Fig. 34a**), avec  $F_{cap} = 500$  kHz pour InAs et  $F_{cap} = 2$  MHz pour ZnO. L'impact de la conductivité sur  $F_{cap}$  est évaluée sur la **Fig. 34b** pour deux matériaux (Si et InAs) avec des constantes de permittivité diélectrique similaires ( $\varepsilon_{Si} = 11,9$  et  $\varepsilon_{InAs} = 12,3$ ). La relation entre les contributions des axes courts et longs, proposée dans l'équation 5, a été vérifiée pour les trois différents cas: Si non intentionnellement dopé (bore,  $10^{15}$  at.cm<sup>-3</sup>,  $\sigma_p = 30$  S / m), de Si fortement dopé (bore,  $10^{19}$  at.cm<sup>-3</sup>,  $\sigma_p = 10\ 000$  S / m), et InAs non intentionnellement dopé (3000 S / m). Chaque type de nanofil présente sa propre

signature qui peut être utilisée pour déduire les propriétés électriques de nanostructures de nature inconnue. En effet, en mesurant la fréquence optimale de capture par l'intermédiaire d'un balayage en fréquence, on peut estimer la conductivité du NF et, par conséquent, la concentration de dopage (**Fig. 34c**). Cette technique peut être un outil puissant pour évaluer l'incorporation de dopants pendant la croissance de la nanostructure, sans recourir à des caractérisations électriques qui nécessitent des processus chronophages.



**Fig. 34** a) Rendement normalisé de NFs capturés en fonction de la fréquence du signal de DEP pour plusieurs types de matériaux. b) Partie réelle du facteur de Clausius-Mossotti calculé pour l'axe long en fonction de la conductivité du NF pour différentes fréquences de polarisation. L'intersection de la droite  $3000 \times \text{Re}(K_{\text{axe court}})$  avec  $\text{Re}(K_{\text{axe long}})$  donne la conductivité du NF avec sa fréquence de capture associée. c) A partir d'une fréquence de capture mesurée, l'abaque donne la concentration de dopants correspondante de type n ou de type p dans un NF de Si.

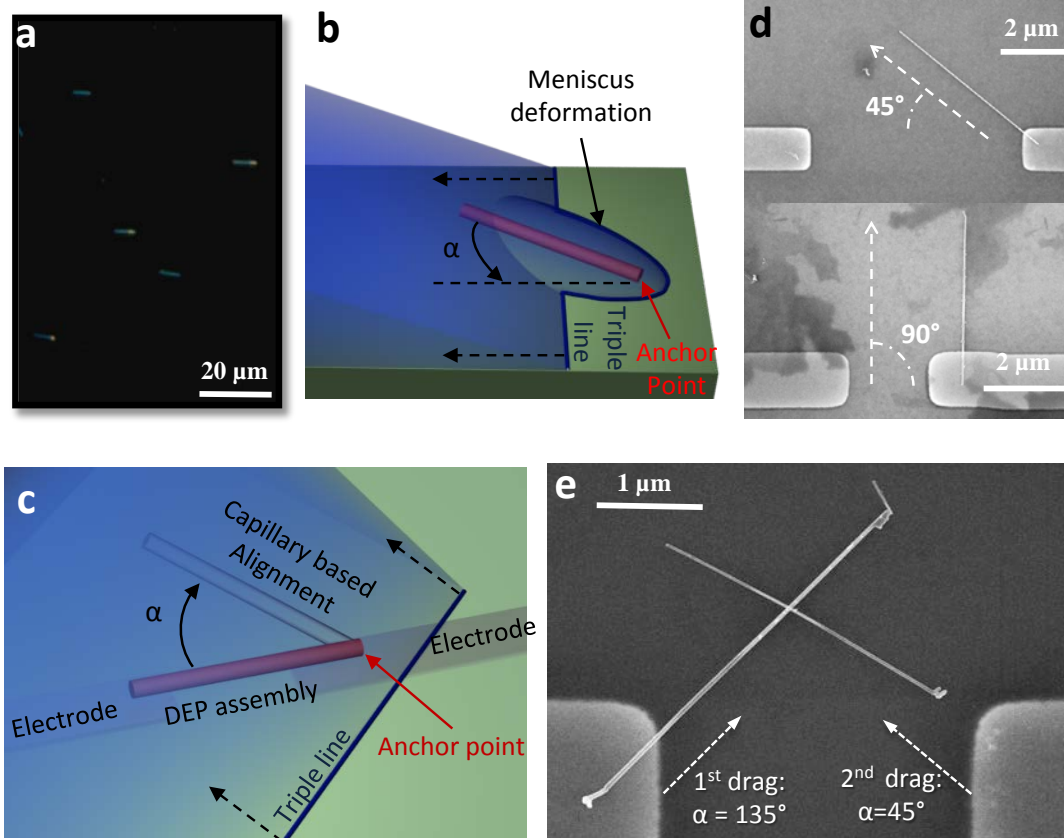
Enfin, le potentiel de cette approche a été évalué pour la fabrication de structures intégrées plus complexes. Tout d'abord, des NFs de composition chimique différentes peuvent être triées en fonction de la fréquence optimale d'alignement du matériau. Une solution contenant un mélange de fils d'InAs et de Si a été assemblée en une structure ordonnée en changeant alternativement la fréquence appliquée (entre 50 et 500 kHz) dans chaque colonne d'électrodes de DEP, une fois que le ménisque de la solution de NFs atteint la nouvelle colonne d'électrodes (**Fig. 35 a**). En utilisant cette approche, un tel mélange de NFs a pu être séparé en colonnes de Si et InAs alternativement. La **Fig. 35b** montre une autre configuration pour réaliser une co-intégration de deux populations différentes de NFs alignées côte-à-côte. Des NFs de Si ont été d'abord assemblés à une fréquence légèrement inférieure à  $F_{\text{cap}}$  pour remplir environ 50% des sites de DEP. Ensuite, des NFs d'InAs ont été soumis à la même procédure d'assemblage pour combler sélectivement les sites vides restants. Ce processus d'intégration de plusieurs matériaux peut être appliqué pour fabriquer des capteurs multiplexés (chaque matériau étant sensible à une espèce unique) ou des transistors complémentaires (CMOS) pour des applications logiques.



**Fig. 35 :** a) Vue schématique du processus de séparation de NFs d'InAs et Si à partir d'une solution mixte. La fréquence appliquée est changée de 50 kHz à 500 kHz lorsque le ménisque atteint la colonne souhaitée d'électrodes, afin d'attirer les NFs en Si (basse fréquence) puis en InAs NFs (haute fréquence). b) Vue MEB de co-intégration de NFs de InAs et de Si côte-à-côte.

Outre l'intégration de plusieurs matériaux, cette approche d'assemblage combinée est aussi intéressante pour la préparation de structures plus complexes à base de NFs. L'assemblage capillaire seul induit un alignement préférentiel des nanostructures selon la direction de déplacement du ménisque (**Fig. 36a**). Une fois ancré sur le substrat, chaque NF devient un obstacle au déplacement continu du ménisque et entraîne une déformation de celui-ci autour du NF, qui tourne autour de son point d'ancrage par un effet de "bras de levier" et s'aligne perpendiculaire à la ligne triple (**Fig. 36b**). L'alignement des NFs est obtenu par l'intermédiaire de l'action du couple de rotation du bras de levier,  $\vec{M} = \vec{F}_{men} \cdot L_{NF} \cdot \cos \alpha$  où  $L_{NF}$  est la longueur du NF,  $\alpha$  est l'angle du NF avec la direction de glissement, et  $\vec{F}_{men}$  est la force de ménisque, estimée de l'ordre de la centaine de nN<sup>50</sup>.

La force du ménisque peut être délibérément utilisée pour manipuler les NFs une fois localisés par l'action de la force DEP. Par exemple, au lieu de faire glisser la lame de verre le long de l'axe des électrodes de DEP (comme sur la **Fig. 33**), la direction de déplacement du ménisque peut être orientée avec un angle arbitraire, résultant par un NF positionné à l'emplacement souhaité, mais orienté suivant la direction d'assemblage capillaire (**Fig. 36c-d**). De nombreuses combinaisons peuvent être envisagées dépendant du design des électrodes (suivant leur espacement, leur nombre ou leur disposition). A titre d'exemple, deux assemblages successifs avec des angles de 45° et 135° ont été réalisés. La structure obtenue (**Fig. 36e**) est une croix avec une très petite surface (<10 μm<sup>2</sup>) faite par deux NFs de Si et correctement positionnée entre les électrodes de DEP.



**Fig. 36 :** a) Image en microscopie optique de NFs alignés préférentiellement dans la direction du déplacement du ménisque lors de l'assemblage capillaire. b) La représentation schématique d'un assemblage capillaire, avec un NF à la surface d'un substrat avec un angle aléatoire par rapport à la direction d'assemblage. c) Représentation schématique d'un NF sur des électrodes de DEP, où la direction de déplacement est différente de celle de l'axe de l'électrode. Le NF est d'abord attiré par la force DEP entre les électrodes, puis est aligné suivant la direction de déplacement du ménisque par assemblage capillaire. Le point d'ancrage correspond à l'extrémité du NF qui rencontre la première ligne triple. d) Vue MEB de NF de Si, où la direction de déplacement est inclinée de 45 ° et 90 ° par rapport aux électrodes de DEP. e) Croix de NFs de Si obtenue après deux assemblages successifs suivant une direction de 45 ° et 135 °, respectivement.

Cette méthode est complètement générique; le procédé post-alignement ne dépend pas de l'assemblage des NFs parce que les électrodes de DEP sont enterrées dans une couche diélectrique plane. De plus, la procédure d'alignement peut être mise en œuvre sur divers substrats hôtes comme des substrats transparents ou flexibles, ou dans la partie dite froide de circuits intégrés.

## 2.3 INGENIERIE DE MATERIAUX SUR DES NANOSTRUCTURES 1D.

De par la parfaite maîtrise des dimensions des nanostructures, ces développements ont permis des études spécifiques de phénomènes physiques nanométriques comme,

par exemple, l'effet des forces de capillarité lors du séchage de ces structures, la compréhension de l'oxydation ou de la siliciuration de nanostructures unidimensionnelles. Les mécanismes physiques de diffusion et de réaction dans le cas du silicium massif ont été bien décrits dans la littérature. Cependant, ces lois décrivant l'oxydation et la siliciuration dans le cas de structures massives ne sont pas transposables aux cas de structures bidimensionnelles et unidimensionnelles à l'échelle nanométrique. Cette incompatibilité est due à l'influence grandissante des contraintes générées par le procédé d'oxydation et de siliciuration lorsque la taille des structures diminue. La compréhension de ces comportements est alors essentielle pour l'intégration de dispositif à base de nanofils. Au niveau expérimental, l'oxydation thermique est une solution efficace pour réduire le diamètre des nanofils par consommation du silicium lors de l'étape d'oxydation. Ceci permet également d'optimiser la surface des nanofils, de réduire la rugosité de surface et d'améliorer l'anisotropie du profil des nanofils. Enfin, la siliciuration du platine au niveau des extrémités des nanofils permet la réalisation des contacts source et drain du transistor à base de nanofils.

---

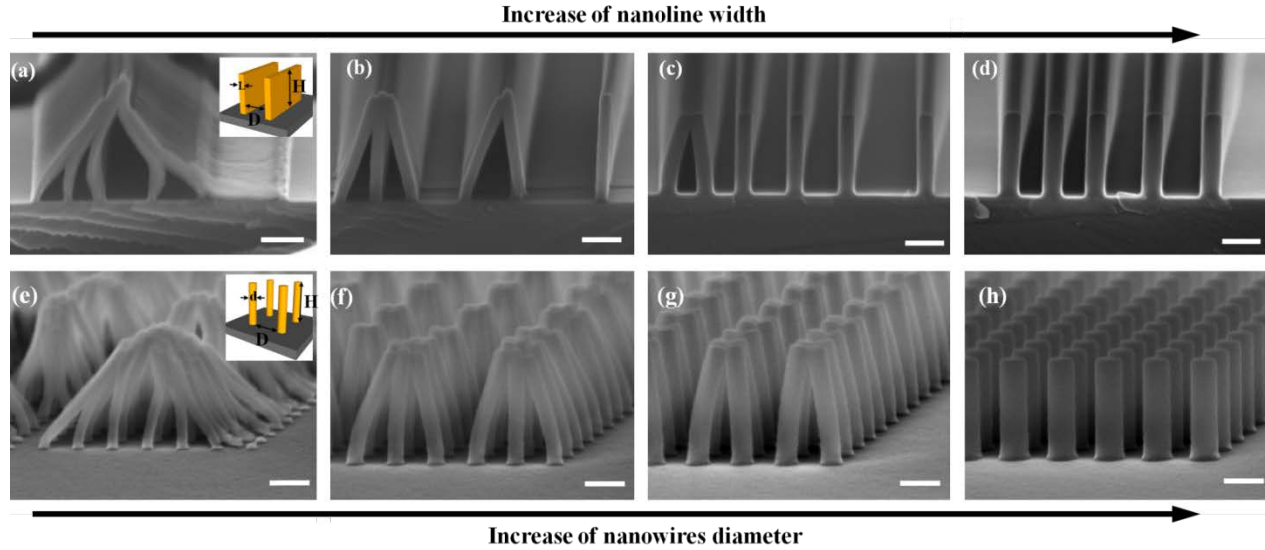
### 2.3.1 EFFONDREMENT DE NANOSTRUCTURES PAR CAPILLARITE.

---

Un phénomène d'effondrement est souvent observé lors de procédé de nanofabrication pour des nano-structures dont le rapport d'aspect est élevé, qui est induit par les forces capillaires présentes lors de processus d'évaporation de liquide ou de séchage. La compréhension de ces phénomènes est importante non seulement pour prévenir l'effondrement de ces nanostructures au cours du processus de fabrication, mais aussi pour pouvoir imaginer des approches d'assemblages plus complexes de ces nano-objets. Jusqu'à présent, des travaux ont largement mis l'accent sur l'étude d'effondrement dite « elasto-capillaire » dans des micro-structures<sup>52, 53, 54</sup> ou sur des exemples particuliers de nanostructures<sup>55, 56</sup>. Afin d'avoir une meilleure compréhension du phénomène de l'effondrement, une étude systématique<sup>57</sup> s'est focalisée sur des nanostructures de différents matériaux et de différentes morphologies, i.e. nanolignes (structure 2D) et nanofils (structure 1D).

**Fig. 37** présente deux exemples de structures en HSQ (lames et fils) soumises lors de l'évaporation d'un liquide à l'influence de forces de capillarité. L'évolution du phénomène d'effondrement est évidente pour les deux types de structure avec l'augmentation de la largeur des nanolames (de 20 nm à 60 nm) et le diamètre des nanofils (de 26 nm à 77 nm), le niveau de l'effondrement induit par les forces capillaires est moins important lors du renforcement de la résistance mécanique des nanostructures. Lorsque le nanofil/nanolame devient plus large, la résistance mécanique

devient prépondérante par rapport à la contribution des forces capillaires, n'entraînant plus d'endommagement résiduel des structures.



*Fig. 37 : Image MEB tiltée de réseau de (a-d) nanolignes et (e-h) nanofils de HSQ d'espacements et hauteurs identiques avec un diamètre / largeur variable (barre d'échelle 100nm).*

Un modèle simple<sup>58</sup> de l'équilibre des forces sur deux lignes soumises à une évaporation d'un liquide permet de déduire les paramètres limites de stabilité d'un réseau de nanostructures en fonction de  $E_Y$ , le module de Young du matériau,  $\gamma$  la tension de surface du liquide,  $D$  la distance entre deux lames et  $L / H$  la largeur /hauteur de la nanolame :

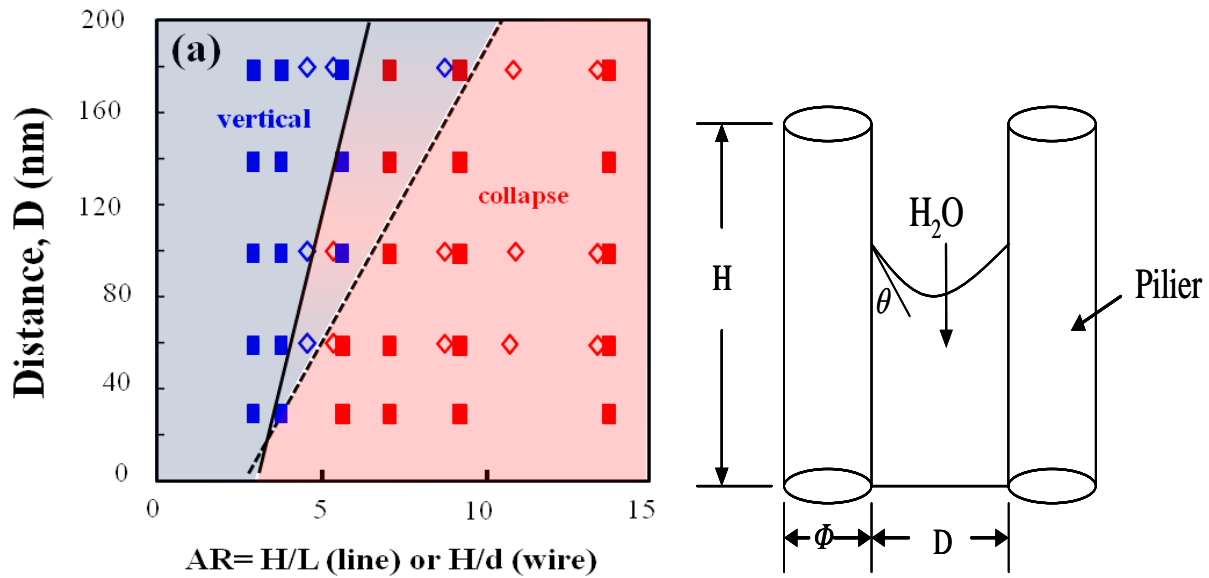
$$D = \sqrt{\frac{24\gamma H^4}{E_Y L^3}}$$

Nous avons étendu ce modèle pour le cas de nanostructures 1D (**Fig.38b**) où :

$$D = \sqrt{\frac{128\gamma}{\pi} \frac{H^4}{E_Y d^3}}$$

Expérimentalement, il est donc possible d'extraire la valeur critique pour des réseaux de nanopiliers ou de nanolignes (**Fig.38**), ainsi prévoir la stabilité des structures en tenant compte de leurs dimensions, du matériau ainsi que du solvant dans lequel elles baignent.





**Fig.38 :** a) Limites d'effondrement pour des réseaux en piliers ( $\diamond$ ) ou en lignes ( $\blacksquare$ ) la zone rouge regroupe les nanostructures effondrées la zone bleu le nanostructures non structurellement impactées par les forces capillaires. b) Représentation schématique de la contrainte limite d'effondrement pour un système cylindrique.

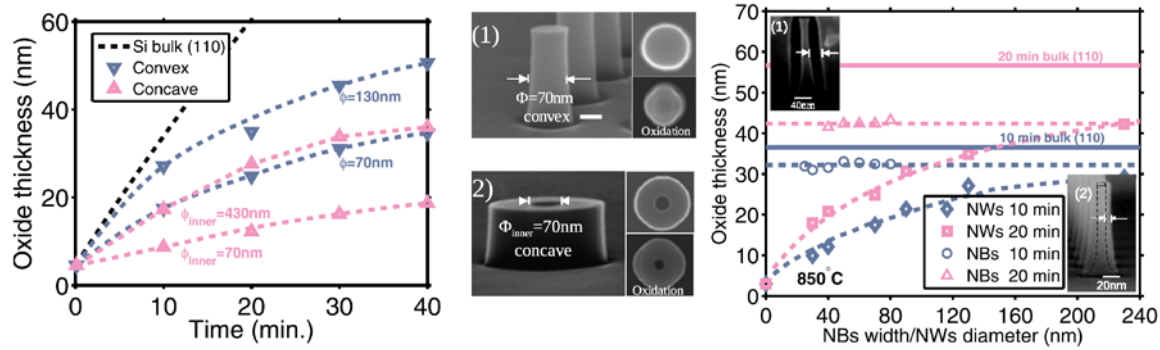
### 2.3.2 OXYDATION DE NANO-OBJETS.

L'étude détaillée de l'oxydation de différentes nanostructures a permis à la fois une excellente maîtrise technologique mais surtout une compréhension des mécanismes liés à la croissance de l'oxyde sur ces nanostructures. Le phénomène d'oxydation retardée, où la vitesse de croissance de l'oxyde ralentit très rapidement avec le temps d'oxydation ou avec la dimension du nano-objet de silicium est toujours un effet physique surprenant. Nous avons étudié les cinétiques d'oxydation à la fois d'un point de vue expérimental et théorique (en collaboration avec C. Krzeminski de l'IEMN à Lille) afin d'améliorer la compréhension des mécanismes sous-jacents ainsi que de quantifier la quantité de contrainte générée à l'interface Si/SiO<sub>2</sub> dans les nanostructures de silicium<sup>59</sup>.

La cinétique d'oxydation retardée a ainsi été étudiée à l'échelle nanométrique pour différents nano-objets de silicium où la dépendance de la dimension du nano-objet, de sa forme et de sa taille sur les mécanismes d'oxydation a été montrée. Ces effets ont été corrélés à l'accumulation de contrainte interfaciale au cours de l'oxydation grâce à la modélisation, qui établit que la relaxation plastique doit être prise en considération pour estimer (i) une accumulation de contrainte mécanique à l'interface dont l'ordre de grandeur soit physiquement cohérent et (ii) la vitesse de l'interface. Des mécanismes



limités de réaction ou de diffusion doivent être considérés pour décrire les effets d'oxydation retardés dans les nanostructures de silicium. La **Fig.39** montre à la fois l'évolution de l'épaisseur d'oxyde en fonction du temps d'oxydation pour une géométrie concave et convexe mais aussi une comparaison entre une nanostructure unidimensionnel (nanofil) ou bidimensionnel (nanolame). Ces différentes évolutions ont pu être parfaitement modélisées pour la première fois et des quantités de contrainte physiquement réalistes ont pu être estimées (**Fig. 40**) et corrélées avec les différentes cinétiques d'oxydation.

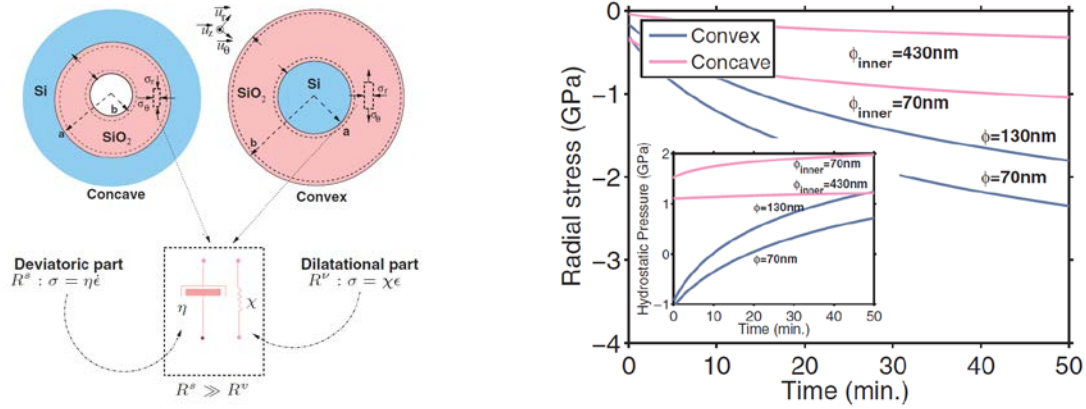


**Fig.39:** Evolution de l'épaisseur d'oxyde en fonction du temps d'oxydation pour une géométrie concave et convexe mais aussi une comparaison entre une nanostructure unidimensionnel (nanofil) ou bidimensionnel (nanolame).

En effet, le problème majeur dans la modélisation de l'oxydation réside dans une description fidèle du comportement mécanique du dioxyde de silicium, comme schématisé **Fig. 40**, et sa capacité à stocker ou à dissiper l'énergie mécanique. Une lacune est fréquemment observée dans les approches standards <sup>60, 61</sup> puisque la contrainte radiale de compression à l'interface est inversement proportionnelle au rayon de courbure de la nano-structure, surestimant alors le niveau de contrainte <sup>62</sup>. La raison principale est que le fort réarrangement atomique induit par de grandes forces de cisaillement <sup>63</sup> est négligé. Dans notre approche, la vitesse d'oxydation, le cisaillement dépendant de la viscosité ainsi que de la contrainte de cisaillement critique sont couplés les uns aux autres. Le fait que toutes ces équations doivent être résolues de manière auto-consistante est souvent négligé ou pas précisément pris en compte.

Par rapport à une approche standard <sup>60</sup> avec une viscosité constante, la contrainte radiale a une dépendance logarithmique avec le rayon de courbure qui nous donne la possibilité de modéliser l'oxydation des nanostructures de forme de cylindre. Comme le montre la **Fig. 40b**, une augmentation non linéaire importante est observée pour la composante radiale de contrainte compressive jusqu'à quelques GPa, associée à une pression hydrostatique initiale tensile (encart de la **Fig. 40b**). La contrainte radiale n'est pas linéaire au cours du temps, comme supposé dans une étude précédente<sup>64</sup>. Ces

éléments indiquent clairement qu'un processus limité de réaction a lieu dans ces configurations convexes (NFs).



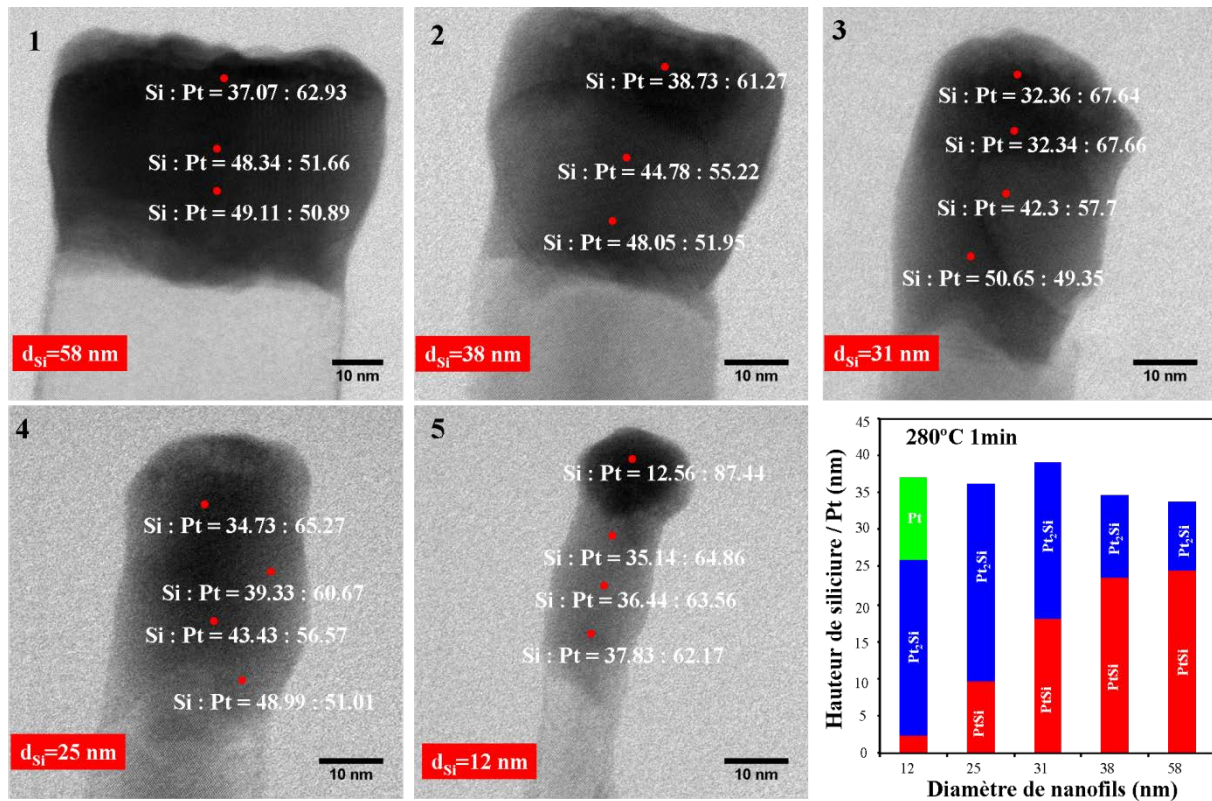
**Fig. 40** a) Modèle physique de la contrainte générée lors de l'oxydation. b) Evolution des contraintes générées à l'interface Si/SiO<sub>2</sub>.

Cette parfaite compréhension permet d'accéder à une maîtrise technologique extrêmement pointue, où ces effets physiques peuvent être vus comme des outils technologiques pour contrôler la forme et dimension des objets à la nano-échelle. Ainsi, une étape d'oxyde sacrificielle effectuée sur les réseaux de NFs nous a permis d'accéder à des fils de très petites dimensions (sub-15 nm) tout en améliorant l'anisotropie des parois de ces fils (98.5%) <sup>65</sup>.

### 2.3.3 FORMATION D'ALLIAGE METALLIQUE DANS DES NANOFILS

La formation des contacts S/D diffusifs faiblement résistifs est un challenge de ces technologies nanofils, notamment en configuration verticale puisqu'il faut réaliser les contacts à chaque extrémité des fils (haut et bas). Fort de l'expérience accumulée sur la formation du siliciure de platine (voir chapitre 2) ainsi que son fort potentiel électrique pour des dispositifs de type p mais aussi de type n, une étude s'est focalisée sur la formation de ces alliages sur des nanostructures 1D de silicium. L'approche verticale offre un cadre d'étude totalement inédit car la siliciuration des nanofils sera homogène quelque-soit le rayon considéré, contrairement aux études classiques où le nanofil est couché horizontalement la siliciuration va dépendre de l'épaisseur du dépôt de métal et du diamètre du NFs. Dans notre cas, la quantité de métal entrant en jeu dans la réaction sera proportionnellement la même quelque soit le diamètre du NF considéré permettant de suivre très fidèlement la réaction et de comparer l'effet de la taille des NFs sur une même expérience (et ainsi s'affranchir des écarts expérimentaux d'une expérience à une autre).

Des siliciures de platine formés sur des nanofils verticaux de différents diamètres ont été fabriqués et chimiquement analysés par MET haute résolution couplé à une caractérisation EDX pour identifier les différences de formation de siliciure en comparaison avec une configuration planaire. Par exemple, la **Fig 41** présente le cas d'une activation thermique à 280°C où tous les diamètres étudiés présentent la phase  $Pt_2Si$  mais la réaction de siliciuration est plus avancée (phase  $PtSi$  plus grande) pour les plus grands diamètres. L'avancée de la réaction diminue clairement avec la diminution du diamètre du nanofil pour atteindre le cas ultime (12 nm) où tout le platine métallique n'a pas été converti en siliciure. Nous avons mis en évidence un phénomène de limitation de la cinétique de siliciuration dans le cas de nanostructures unidimensionnelles, avec une diminution du coefficient d'énergie d'activation attribuée à l'augmentation des contraintes lorsque le diamètre diminue<sup>66</sup>.



**Fig 41:** Exemple d'image MET (vue en coupe) de nanofils avec des diamètres variables après siliciuration du platine à 280°C durant 1min, les rapports atomiques de Pt et Si (analyse EDX) sont notés sur les différentes positions du siliciure afin d'extraire le graphique b) montrant la proportion des phases en fonction du diamètre des NFs.

Dans la grande majorité des cas <sup>67</sup>, les études de siliciuration de nanofils sont réalisées à partir de structures horizontales où la couche de métal est déposée sur la paroi supérieure du fil. La diffusion des espèces est alors verticale par rapport à l'axe de nanofils. Par exemple, Tang et al. <sup>68</sup> ont observé une augmentation de 52% de la section

du nanofil en raison du changement de volume après siliciuration. Dans notre cas d'étude (nanofils verticaux), la diffusion des atomes de Pt et Si est parallèle à l'axe du nanofils et la limitation de l'expansion volumique du siliciure est donc bidimensionnelle par rapport à la surface cylindrique de nanofils. La contrainte générée y est alors plus importante. Comme explicité dans le paragraphe précédent traitant de l'oxydation des nanofils, la limitation d'expansion volumique de la couche d'oxyde peut provoquer naturellement une contrainte mécanique dans l'oxyde, limitant la diffusion des atomes d'oxygène ainsi que le coefficient de réaction chimique à l'interface de oxyde / silicium. De la manière similaire, la diffusion des atomes de Pt et Si peut être limitée par la contrainte croissante dans le siliciure. En considérant le mécanisme de siliciuration dans le cas du silicium massif, une unité de hauteur de Pt sur silicium devient 0.65 unité de hauteur de PtSi au-dessus de l'interface initiale, c'est-à-dire qu'une quantité de platine a diffusé dans le silicium, générant une expansion de volume sous le niveau initial de silicium. Cette expansion peut être relaxée dans le substrat de silicium, car la limitation latérale contre l'expansion volumique est assez faible. Par contre, dans le cas de nanofils, avec un rapport de surface / volume élevé, la diffusion latérale est limitée, et ceci est d'autant plus important que le diamètre de nanofils est réduit.

## 2.4 TRANSISTORS 3D NANOMETRIQUES : DEVELOPPEMENT ET CARACTERISATIONS.

---

### 2.4.1 CONTACTS S/D

---

Un travail conséquent a été mené afin de développer et caractériser les différentes briques de base du transistor, avec en premier lieu, l'ingénierie du contact électrique S/D et sa caractérisation. Pour ce faire, les approches d'intégration de NFs en réseau verticaux ou en fil unique planaire, ont été mises à profit.

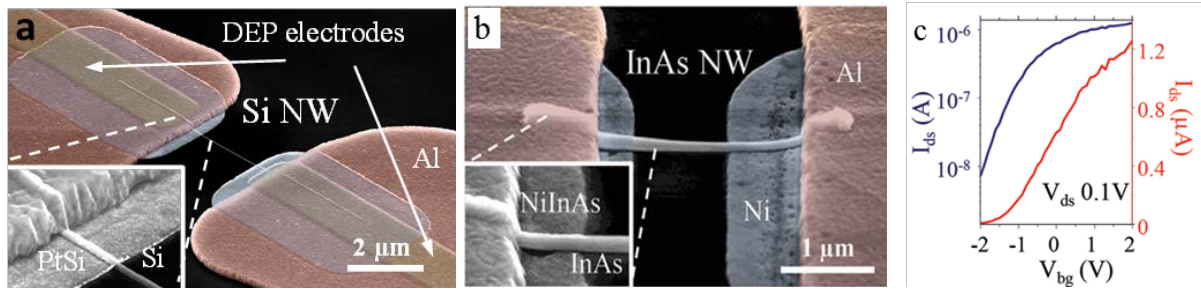
Tout d'abord, l'approche par assemblage capillaire est utilisée pour des études plus prospectives<sup>50</sup>, permettant d'adresser notamment une large variété de matériaux. Il est possible de réaliser une ingénierie de la barrière Schottky au niveau du contact métal/semi-conducteur. Des contacts alliés métalliques (de nickel et de platine) sont donc implémentés aux extrémités des nanofils (Si, InAs, ZnO) afin de localiser la surface d'injection des porteurs au centre du matériau. Par exemple, la **Fig. 42** a et b sont deux visualisations MEB de nanofils de Si et InAs avec des contacts diffusifs de Pt et Ni, respectivement. Le contact diffusif permet de s'affranchir des états d'interface pouvant exister sur une nanostructure. Une étude consacrée aux résistances d'accès sur nanofils et la compréhension des phénomènes relatifs à la géométrie nouvelle de ces nano-contacts a mis en avant plusieurs points importants :



– la résistance apparente extraite d’une caractéristique courant-tension à température ambiante n’est pas suffisante pour remonter à la résistance du nanofils étudié.

– il est nécessaire de déterminer la contribution relative aux contacts métal/semi-conducteur ou bien au nanofil lui-même. Des mesures courant -tension en température de type Arrhenius permettent de faire cette discrimination pour chaque couple métal/semiconducteur. A titre d’exemple, un contact a base de Ni sur InAs non intentionnellement dopé de type n possède une hauteur de barrière pour les électrons de - 0.6 eV alors qu’un contact de Pt sur du Si non intentionnellement dopé de type p possède théoriquement une hauteur de barrière pour les trous de -0.13 eV. Expérimentalement, à cause de défauts d’interface résiduels, de telles barrières ne sont pas observables <sup>69</sup> et les valeurs mesurées sont en accord avec les hauteurs de barrières mesurées sur matériau massif.

En utilisant le substrat de silicium comme grille face arrière, des caractéristiques de transfert comme présentées en **Fig. 42 c** pour un transistor InAs permettent d’extraire la mobilité apparente des porteurs. Ainsi des mobilités de trous de  $250 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  dans des fils de Si et d’électrons de  $1450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  dans des fils d’InAs ont été mesurées. Ces valeurs, comparables à celles communément trouvées dans la littérature indiquent que la méthode d’alignement n’affecte pas les caractéristiques de transport des dispositifs finaux.

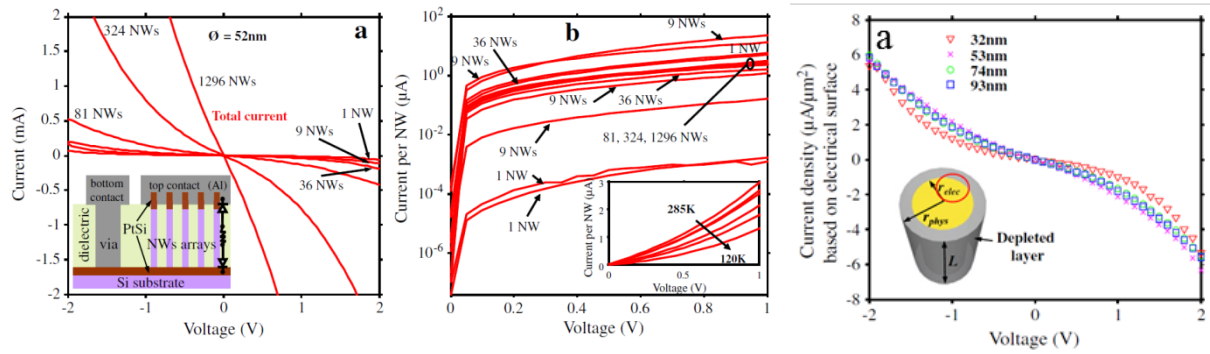


**Fig. 42:** Image MEB de transistors réalisés sur nanofils alignés par assemblage capillaire a) Si avec des contacts S/D en PtSi b) InAs avec des contacts S/D en alliage NiInAs<sup>50</sup> c) Caractéristiques  $I_{ds} - V_g$  du transistor à canal InAs avec une grille face arrière.

En parallèle, l’approche verticale a été mise en profit pour des études beaucoup plus fines sur un couple de matériau fixé : PtSi/NFs Si. La caractérisation électrique de simple NF unique, utile pour des études de premier ordre telles que présentées précédemment, conduit à de grandes fluctuations inhérentes non seulement à la distribution statistique des dopants, mais aussi à cause de la variabilité des procédés lors de l’adressage de ces nano-objets isolés. Par exemple, un NF de 20 nm de diamètre avec un dopage de  $10^{17} \text{ at.cm}^{-3}$ , a théoriquement un dopant séparé par 32 nm du suivant.

Pour surmonter les fluctuations associées au nano-objet individuel, la caractérisation d'une grande assemblée de NFs en parallèles est une solution pour obtenir une meilleure analyse statistique. Des systèmes de deux contacts verticaux implémentés sur des réseaux de NFs de Si de diamètres variables, tel que schématisé en insert de la **Fig.43 a**, ont été électriquement caractérisés (**Fig.43 a**). Il est rappelé que le courant dans de tels systèmes de deux diodes têtes bèches est toujours limité par la jonction qui fonctionne en mode inverse<sup>70</sup>. Contrairement au cas d'émission thermo-ionique, le courant ne sature pas car le niveau de dopage est suffisamment élevé ( $8 \times 10^{18} \text{ at.cm}^{-3}$  ici) pour induire un amincissement de la barrière Schottky siliciure / Si qui favorise l'injection tunnel. Cette non-linéarité décrit également le départ du comportement de contacts ohmiques. Ceci constitue la signature typique d'un dispositif dont les propriétés de transport sont dominées par sa résistance de contact. Cette observation est consolidée par la diminution de courant lorsque la température diminue, comme cela est représenté dans l'encart de la **Fig.43 b**. Lorsque le courant mesuré est normalisé par le nombre de fils (**Fig.43 b**), il apparaît clairement la nécessité d'adresser de larges réseaux afin d'atténuer efficacement les variations de mesures associées à la nature stochastique des procédés de fabrication à l'échelle nanométrique.

Enfin, nous avons démontré que l'influence de défauts de surface, créant une couche de déplétion, modifie le diamètre de conduction dans les fils mais aussi la surface d'injection des porteurs à l'interface siliciure/NFs<sup>71</sup>. En effet, la densité de courant peut être normalisée (**Fig.43 c**) par la surface électrique ( $S_{\text{elec}}$ ), correspondant à la surface physique du NF sans la zone périphérique de déplétion. Dans ce cas, il apparaît que i) la nature conservatrice de la densité de courant est correctement reproduite et que ii) les caractéristiques I-V sont non linéaires, indépendamment du diamètre des NFs indiquant que la résistance du contact reste dominante sur la celle du NF de Si. Il vient naturellement que la section transversale d'injection à l'interface siliciure/Si est également régie par la déplétion radiale générée par les pièges de surface. Bien que ce résultat pourrait paraître à priori intuitif, il faut rappeler que l'électrostatique à la proximité des contacts métal / semi-conducteur est en général étroitement contrôlé par la hauteur de barrière Schottky<sup>72</sup>. En outre, de nombreuses contributions<sup>73, 74, 75</sup> ont souligné le rôle critique de la couche de déplétion périphérique liée aux pièges de surface sans discuter clairement la contribution respective des contacts et du NF semi-conducteurs.

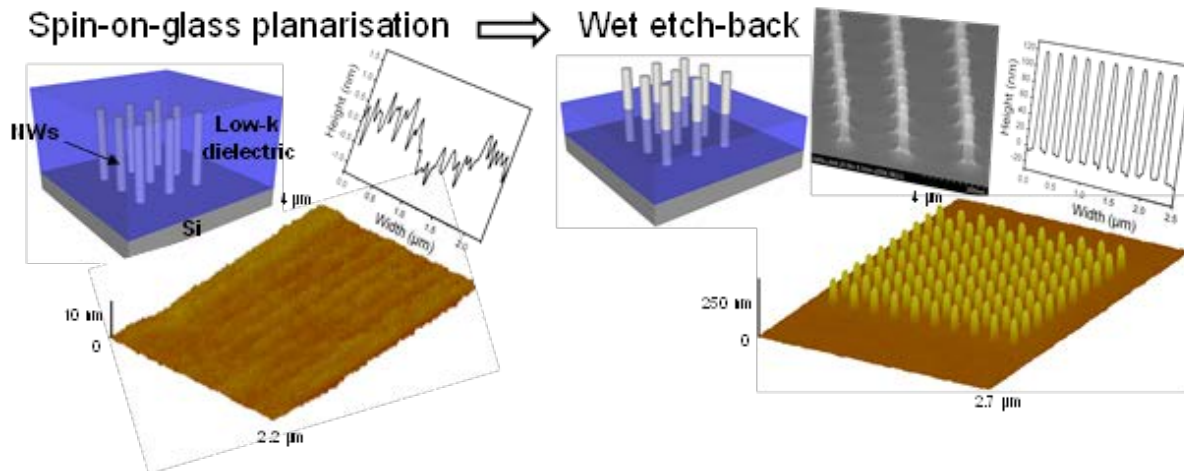


**Fig.43:** Caractéristiques I-V de dispositifs 2 contacts verticaux avec un nombre variable de NFs associés en parallèles (1-1296) avec  $\Phi = 52 \text{ nm} \pm 3 \text{ nm}$ . (a) Le courant total (échelle linéaire) avec, en insert, la vue en coupe schématique transversale du dispositif. (b) le courant normalisé par NF (échelle logarithmique) avec, en insert, l'évolution du courant avec la température de mesure c) Densités de courant dans des NFs de différents diamètres calculés par rapport à la surface électrique estimée en tenant compte de la couche de déplétion de surface <sup>71</sup>.

#### 2.4.2 INGENIERIE DES COUCHES A L'ECHELLE NANO – TRANSISTOR 3D

Une des étapes fondamentales du procédé est la parfaite maîtrise de la planarisation qui permet de se positionner à une hauteur précise du nanofil (du réseau de nanofils) afin de réaliser une étape définie (de la grille, contact S/D haut ...). Nous avons développé une technique inédite de planarisation basée sur un dépôt d'un oxyde fluable par tournette couplé à un amincissement par gravure chimique (HF extrêmement dilué)<sup>76</sup>. Une telle couche de  $\text{SiO}_x$  est enduite sur un réseau de nanofils par tournette permettant de noyer totalement le réseau dans la matrice de diélectrique. La fluabilité du matériau permet ainsi d'obtenir une excellente planéité de la couche, notamment au-dessus des réseaux de fil, où un dénivelé de moins d'un nanomètre est mesuré par microscopie à force atomique. Cette excellente planéité couplée avec une gravure contrôlée permet de positionner la surface du diélectrique à une hauteur souhaitée. Nous avons démontré que l'utilisation d'une solution d'acide fluorhydrique extrêmement diluée dans l'eau (1:1000) permettait de contrôler précisément la vitesse de gravure (et donc la position de la surface) tout en conservant une très faible rugosité de surface (identique à la rugosité de la surface du diélectrique avant gravure) (**Fig. 44**). La couche obtenue ne présente aucun défaut de surface et sa planéité est excellente, même au voisinage des nanofils.





**Fig. 44:** Représentation schématique de réseau de NFs de Si planarisé par une couche diélectrique ainsi qu'une image 3D AFM de la surface supérieure diélectrique (350 nm d'épaisseur) couvrant le réseau de NFs de 40 nm de diamètre, 240 nm de hauteur, et 180 nm d'espacement et un exemple de profil transverse (RMS = 0,4 nm). (wet etch-back) Même représentation après gravure humide à mi-hauteur des NFs. La rugosité diélectrique est très faible (RMS=1,7 nm) démontrant la parfaite planéité.

Basée sur cette maîtrise de la planarisation, une démonstration de dispositif FET vertical à grille ultra courte sur un réseau de nanofils de silicium a été réalisée pour la première fois. Le procédé inclut la structuration des réseaux de nanofils verticaux, la réalisation du dispositif nanométrique ainsi qu'une structure micrométrique permettant d'adresser et de caractériser le dispositif. La **Fig. 45b** est une vue schématique du dispositif dans lequel les bornes sont intégrées dans une matrice diélectrique et sont positionnées au pied, au milieu et au sommet des NFs pour une utilisation comme source, grille et de drain contacts. La fabrication commence par la formation d'un oxyde mince de grille (5 nm) en utilisant une oxydation thermique sèche suivie d'une gravure plasma anisotrope pour retirer la couche d'oxyde au niveau de chaque extrémité des nanofils. Une couche de platine de 15 nm est déposée anisotropiquement par évaporation par faisceau d'électrons, et une activation thermique (RTP  $\text{N}_2\text{H}_2$ , 500°C / 3 min) est utilisée pour créer les contacts siliciurés en bas et en haut de chaque NF (contacts source / drain). Une première planarisation est réalisée pour positionner la surface supérieure de l'espaceur en diélectrique à mi-hauteur, puis un dépôt métallique anisotrope métallique (par exemple Cr ou Ni avec une fonction de travail de 4.5 eV) est effectué pour définir la structure de grille entourant les NFs. Ceci est particulièrement intéressant pour la réalisation de nano-transistors parce que la longueur de grille est simplement définie par l'épaisseur du matériau de grille déposée. Une deuxième planarisation est effectuée pour créer l'espaceur grille- contact supérieur. La fabrication se termine par un procédé d'interconnexion métallique à l'échelle deca-

nanométrique comportant des vias et métallisations en aluminium. La Fig. 45a présente une vue de coupe TEM du dispositif ainsi réalisé. Ceci constitue la première démonstration d'un réseau de nanofils de Si verticaux qui a été siliciuré à chacune de ses terminaisons et où une grille métallique enrobante est réalisée de longueur sub-14 nm<sup>77</sup>. Cette architecture (*Vertical nanowire array-based field effect transistors*) a été protégée par plusieurs brevets internationaux<sup>78</sup>.

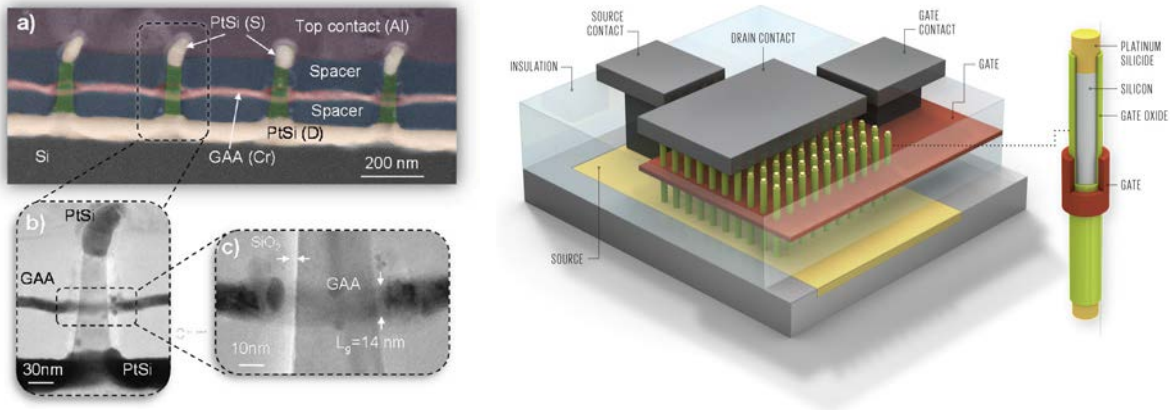
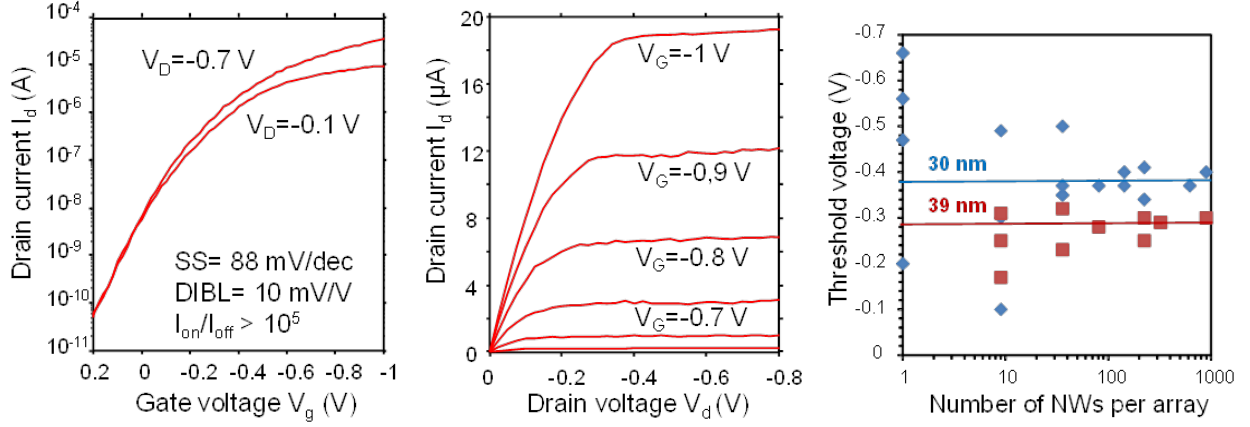


Fig. 45: a) Vue de coupe TEM d'un transistor à grille entourante de 14 nm sur réseau de NFs verticaux. b) Vue schématique du dispositif reproduite par la revue IEEE Spectrum.<sup>79</sup>

### 2.4.3 COMPORTEMENT ELECTRIQUE DES DISPOSITIFS

Les Fig. 46 a et b présentent un exemple de caractéristiques de transfert et de sortie d'un tel dispositif ( $L_g \sim 14$  nm, diamètre NF  $\sim 30$  nm,  $T_{ox} \sim 5$  nm, 81 NFs en parallèle, dopage uniforme des NFs  $6 \cdot 10^{18}$  at.cm<sup>-3</sup>). Ce dispositif présente une très bonne immunité aux effets de canal court (ECC) compte tenu de la longueur de grille réduite obtenue grâce à la grille entourant complètement le canal du transistor, offrant ainsi la configuration optimale en terme de contrôle électrostatique du canal. La pente sous seuil est inférieure à 90 mV par décades à 300 K et l'effet d'abaissement de la barrière par la polarisation de drain (DIBL) est très faible (10 mV /V), permettant d'obtenir un ratio  $I_{on}/I_{off}$  supérieur à 5 décades. La tension de seuil du dispositif est de -0.4V. Comme le montre la Fig. 46c dans le cas de  $V_t$ , l'intérêt d'adresser un ensemble de nanostructures en parallèle est d'atténuer les effets des fluctuations à l'échelle nanométrique et de variabilité de procédé (phénomène déjà observé pour les contacts métalliques<sup>71</sup>). En outre, il apparaît que pour un matériau de grille défini, la tension de seuil dépendra du diamètre des NFs du dispositif. En adressant différents diamètres de NFs, on peut donc ajuster la

tension de seuil pour les spécifications de l'application visée ainsi que de proposer une plateforme multi- $V_t$ .



**Fig. 46:** Caractéristiques statiques d'un transistor pFET avec une longueur de grille de 14 nm sur un réseau de 81 NFs de 30 nm de diamètre. (a)  $I_d$ - $V_g$  pour  $V_d$  -0.1 V and -0.7 V (b)  $I_d$ - $V_d$  avec  $V_g$  variant de -0.1 V to -1 V avec un pas de -0.1 V. c) Variation de la tension de seuil pour des transistors implémentés sur des NFs de diamètre 30 nm et 39 nm en fonction du nombre de NFs dans chaque dispositif.

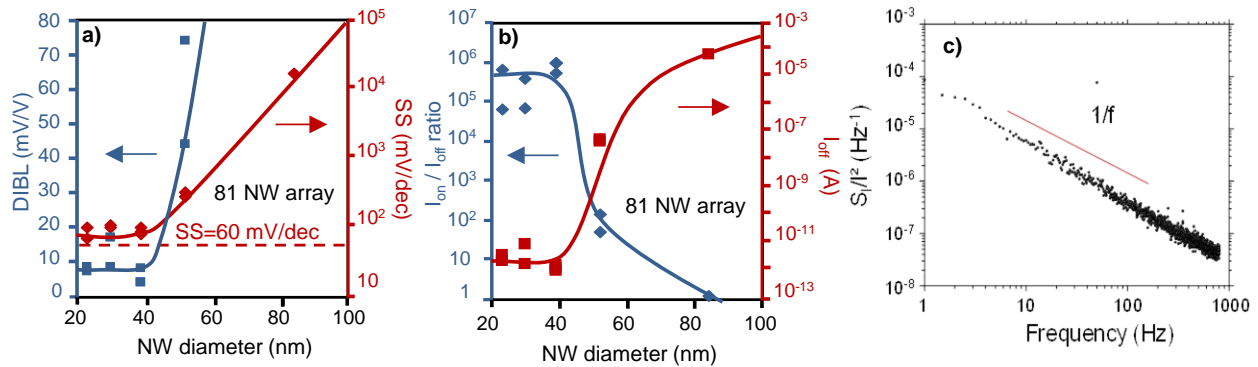
Dans les **Fig. 47** a et b, l'immunité contre les effets canaux courts (DIBL et pente sous le seuil) ainsi que l'évolution du courant à l'état bloqué et le rapport  $I_{on} / I_{off}$  sont présentés en fonction du diamètre des NFs. Pour les nanofils les plus larges ( $\Phi > 40$  nm), la commande de grille sur le canal est faible, résultant en un courant de fuite élevé et une dégradation de la caractéristique statique (augmentation des paramètres d'effets canaux courts). Les dispositifs implémentés sur des nanofils de diamètres inférieurs à 40 nm conservent une excellente commande de grille associée à une immunité contre les effets canaux courts. Ceci offre un assouplissement important des exigences de miniaturisation des diamètres des nanofils.

Ce résultat peut, à première vue, paraître surprenant. En effet, selon la théorie de la mise à l'échelle<sup>36</sup> des transistors MOS à grille entourantes cylindriques (i.e. MOSFET à nanofils), un contrôle efficace des effets canaux courts ne peut être atteint que si le rapport  $L_{eff} / 2\lambda$  est supérieur à 2, où  $L_{eff}$  est la longueur de canal et  $\lambda$  est la longueur naturelle des transistors définis comme<sup>80</sup>:

$$\lambda = \sqrt{\frac{2 \varepsilon_{nw} \phi_{nw}^2 \ln\left(1 + \frac{2 t_{ox}}{\phi_{nw}}\right) + \varepsilon_{nw} \phi_{nw}^2}{16 \varepsilon_{ox}}} \quad \text{Eq. 6}$$

avec  $\epsilon_{nw}$  et  $\epsilon_{ox}$  les constantes diélectriques du silicium et de l'oxyde de silicium,  $\Phi_{nw}$  le diamètre du nanofil et  $t_{ox}$  l'épaisseur du diélectrique de grille. Ainsi, pour une architecture à grille entourante classique avec des jonctions p-n dopées, un diamètre d'environ 10 nm est prédit par l'équation 6 pour assurer un contrôle efficace des effets canaux courts d'un dispositif de longueur de grille de 14 nm. En revanche, l'absence de jonctions fortement dopées dans la présente configuration induit une augmentation de la longueur de canal efficace dû aux capacités parasites au bord de la grille métallique physique<sup>81</sup>.

Nous avons aussi étudié les mécanismes de transport d'un tel transistor en utilisant des mesures de bruit basse fréquence pour notamment évaluer la qualité de l'oxyde de grille ainsi que du canal de Si<sup>82</sup>. A partir du spectre de bruit normalisé en fonction de la fréquence (un exemple est montré en **Fig. 47c**), une très petite valeur de constante de Hooge ( $\sim 2.5 \times 10^{-5}$ ) a été extraite, équivalente à des valeurs trouvées pour des couches épitaxiales de haute qualité. Il s'agit de la signature de la non-dégradation du monocristal de Si au cours du procédé de fabrication, mais également l'absence de pièges actifs dans l'oxyde de grille pour la plupart des fils (confirmé par l'absence de signal télégraphique aléatoire (RTS) dans le régime de sous-seuil). Un signal RTS avec une grande amplitude, attribué à un défaut à l'interface du contact siliciure/silicium, a été parfois observé dans des dispositifs à NF individuel ou sur des réseaux de quelques NFs<sup>82</sup>. Cependant, ce bruit est considérablement réduit avec l'augmentation du nombre de fils.



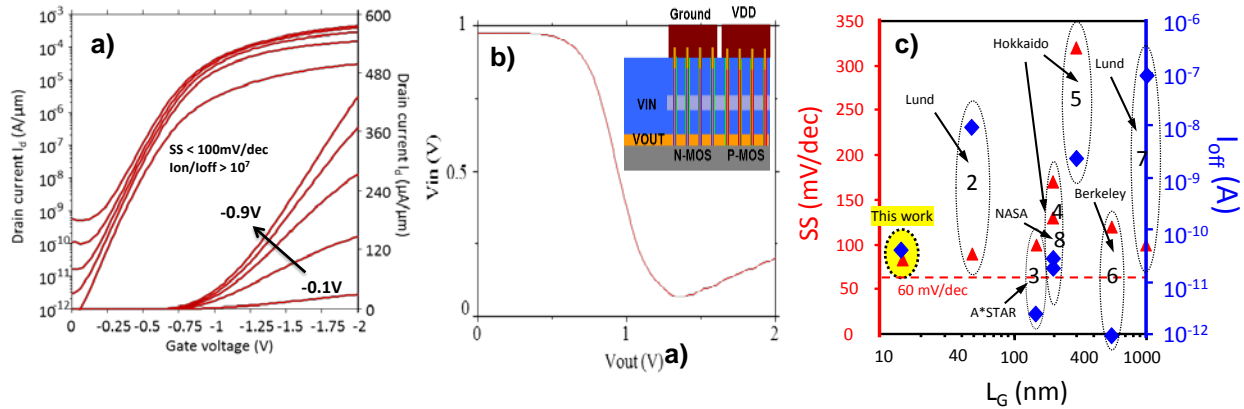
**Fig. 47:** a) Contrôle des effets canaux courts en fonction du diamètre des NFs. b) Etat de l'art des architectures verticales à base de NFs. c) Spectre du bruit BF normalisé en fonction de la fréquence à  $V_g = -100$  mV /  $V_d = -50$  mV pour un transistor de 900 NFs.

Enfin, des travaux très récents ont permis d'améliorer le niveau de courant à l'état passant,  $I_{on}$ <sup>83</sup> en travaillant sur l'ingénierie du contact (siliciuration et dopage du NFs). La **Fig. 48a** montre la caractéristique de transfert d'un transistor dont le dopage des NFs est de  $2 \cdot 10^{19}$  at/cm<sup>3</sup>. Le courant de commande (normalisé par le

diametre des NFs) est de  $440 \mu\text{A}/\mu\text{m}$  pour une polarisation de drain,  $V_d$ , de  $-0.9\text{V}$  tout en conservant une excellente commande de grille ( $SS < 100\text{mV}/\text{dec}$ ) et un ratio  $I_{\text{on}}/I_{\text{off}}$  supérieur à 6 décades.

De plus, des premiers inverseurs CMOS élémentaires ont été démontrés<sup>84</sup> en co-intégrant des dispositifs VFET à NFs de type n avec un de type p, schématiquement représentés dans l'insert de la **Fig. 48b**. Le procédé de fabrication de l'inverseur débute par la formation de deux puits fortement dopés (de type n et de type p) avec un profil de dopage plan ( $\sim 10^{19} \text{ at} / \text{cm}^3$ ) où les réseaux de NFs de chaque transistor y sont structurés. La **Fig. 48b** représente la caractéristique de transfert de l'inverseur avec un état haut et un état bas parfaitement distinct. Néanmoins, la jonction PtSi/nSi non optimisée pour le type n induit un fonctionnement du transistor nMOS très perfectible, avec un courant  $I_{\text{off}}$  élevé par conduction ambipolaire, impactant le fonctionnement de l'inverseur. L'optimisation de la jonction de type n, par modulation de la hauteur de barrière Schottky ou en introduisant un siliciure de plus faible hauteur de barrière pour les électrons permettra un meilleur fonctionnement.

Enfin, les résultats obtenus sur cette architecture se positionnent extrêmement favorablement par rapport à l'état de l'art mondial (**Fig. 48c**) où tout en étant la démonstration la plus miniaturisée, elle possède un excellent contrôle électrostatique.



**Fig. 48:** a) Caractéristique statique (courant normalisé par le diamètre des NFs) d'un transistor de  $14\text{nm}$  de  $L_g$ , sur 64 NFs de  $32 \text{ nm}$  de diamètre avec un dopage uniforme de  $2 \cdot 10^{19} \text{ at}/\text{cm}^3$ . b) Caractéristiques de transfert d'un inverseur CMOS à base de VFET à NFs à  $V_{DD} = 1\text{V}$  avec en insert une représentation schématique de l'inverseur c) Etat de l'art des architectures verticales à base de NFs (1. Schmidt et al. Small 2006 2. Thelander et al. TED 2008 3. Yang et al. EDL 2008 4. Ng et al. Nanolet 2004 5. Tanaka et al. APX 2010 6. Goldberger et al. Nanolet. 2006 7. Bryllert et al. Nanotec 2006 8. Tomioka et al. Nature 2012)

## 2.5 CONCLUSION

---

Lors de ma mobilité au LAAS-CNRS à Toulouse en 2010, j'ai fait émerger une nouvelle thématique dans le laboratoire sur le développement de **nano dispositifs à base de nanofils**. Initié en 2008, elle s'est d'abord consacrée à l'intégration générique de dispositifs à effet de champ à base de nanofils verticaux en vue d'adresser les générations ultra miniaturisées de transistor i.e. en dessous du nœud technologique de 10 nm. Cette activité adresse tous ces challenges en proposant un procédé générique de fabrication de transistor FET sur des nanofils verticaux. Elle a permis notamment de démontrer pour la première fois **un transistor à base de NFs verticaux dont la longueur de grille est de 14 nm**, (Fait marquant 2013) tout en **offrant un contrôle électrostatique du canal quasi-idéal** au regard de la miniaturisation extrême du dispositif. Une approche alternative visait à venir manipuler et localiser précisément des fils obtenus par croissance bottom-up sur un substrat hôte afin de pouvoir les adresser à grande échelle (substrat entier) par lithographie conventionnelle. Dans ce cadre, nous avons pu démontrer une approche inédite, couplant force de capillarité et DEP afin de localiser des NFs **uniques à l'échelle du substrat** avec une très **grande reproductibilité** (Fait marquant 2015). Nous avons pu montrer à la fois de **l'adressage collectifs de NFs avec des matériaux différents** ainsi que de la manipulation de fils pour réaliser des **dispositifs plus complexes** (cross-bar), ceci à l'échelle d'un substrat 6 pouces.

## 2.6 SELECTION D'ARTICLES

---



# Understanding of the retarded oxidation effects in silicon nanostructures

C. D. Krzeminski,<sup>1,a)</sup> X.-L. Han (韩相磊),<sup>1</sup> and G. Larrieu<sup>2,b)</sup>

<sup>1</sup>IEMN-UMR CNRS 8520, Département ISEN, Avenue Poincaré, 59650 Villeneuve d'Ascq, France

<sup>2</sup>LAAS, CNRS, Université de Toulouse, 7, av. du Colonel Roche 31077 Toulouse Cedex 4, France

(Received 21 February 2012; accepted 17 May 2012; published online 27 June 2012)

In-depth understanding of the retarded oxidation phenomenon observed during the oxidation of silicon nanostructures is proposed. The wet thermal oxidation of various silicon nanostructures such as nanobeams, concave/convex nanorings, and nanowires exhibits an extremely different and complex behavior. Such effects have been investigated by the modeling of the mechanical stress generated during the oxidation process explaining the retarded regime. The model describes the oxidation kinetics of silicon nanowires while predicting reasonable and physical stress levels at the silicon/silicon dioxide interface by correctly taking into account the relaxation effects in silicon oxide through plastic flow. © 2012 American Institute of Physics. [<http://dx.doi.org/10.1063/1.4729410>]

Retarded oxidation where the oxide growth slows down very rapidly with oxidation time or with the silicon nano-object dimension is still a puzzling physical effect.<sup>1–3</sup> This physical effect can be viewed as a technological nanoscale tool which enables to control the nano-object shape, size distribution interface properties and hence could be used in many applications.<sup>4</sup> However, only very few studies have been dedicated to the understanding of the phenomenon which remains fragmented and limited.<sup>5–7</sup> In this work, oxidation kinetics have been investigated both on the experimental and theoretical counterparts in order to improve the understanding of retarded mechanisms and to quantify the amount of stress generated at the Si/SiO<sub>2</sub> interface in silicon nanostructures.

With the current top-down fabrication capabilities, etched silicon nanostructures including nanobeams, nanorings, and nanowires have been fabricated with a high resolution<sup>8</sup> and then wet oxidized at 850 °C. The nano patterns are realized using electron beam lithography (Vistec EBPG 5000+ system) with a negative-tone resist, namely, hydrogen silsesquioxane (HSQ). After exposure, the HSQ resist is developed by immersion in 25% tetramethylammonium hydroxide (TMAH) for 1 min at 20 °C. Nano patterns were transferred to (100) Si substrate by reactive ion etching (Oxford Plasma100 system) in Cl<sub>2</sub> plasma under optimized process parameters<sup>8</sup> in order to obtain an anisotropic profile. After the etching step, the remaining HSQ resist was stripped in 10% HF solution. Si nanostructures were thermally oxidized at 850 °C in wet ambiance using a conventional tubular furnace (TEMPRESS) at atmospheric pressure and under a flow of 1.5 l/min of O<sub>2</sub>, 2.5 l/min of H<sub>2</sub>.<sup>9</sup> Fig. 1(a) summarizes the evolution of the oxide thickness as a function of the oxidation time in the case of convex Si nanowires (SiNWs) and concave Si nanoring structures. The oxide growth rate is strongly limited by the oxidation time but is faster in a convex structure than in a concave one. The influence of the geometrical effect is stronger with smaller inner radius (i.e., 70 nm compared to 430 nm). For the convex case, a higher

oxide growth rate is related to the larger radii. Then, in order to investigate experimentally the influence of silicon nanostructure dimension, nanobeams and nanowires of 240 nm height have been oxidized for 10 and 20 min. As shown in the inset of Fig. 1(b), a non-uniform oxide growth is classically observed along the sidewall of the beam due to the great influence of the top and bottom corners corresponding to a convex and concave structure, respectively. An oxidized one-dimensional nanostructure with diameters from 40 to 140 nm demonstrated completely different shapes as shown in the inset of Fig. 1(b) with the presence of a pinching effect at the bottom of silicon nanobeams (SiNBs) structures. The oxidation behavior between SiNBs and SiNWs kinetics is under comparison in Fig. 1(b). The oxide growth on SiNBs of width  $L$  is clearly thicker than SiNWs with the diameter  $d=L$ . A size dependent oxidation kinetic was not observed in these structures for any of the considered SiNBs width. These experimental results illustrate that the silicon oxidation retarded mechanism is strongly dependent on the nano-object (i) dimension, (ii) size, and (iii) shape.

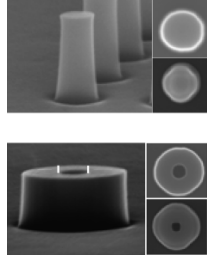
These dependences cannot be explained by the standard Deal and Grove oxidation model<sup>10</sup> since a larger oxidant concentration for the smallest particles should, in principle, lead to a higher oxidation rate. Two main theories have been put forward to explain the retarded/self-limiting kinetics factor. The first one is the “stress limited reaction rate” assumption<sup>6</sup> with a radial stress increase at the Si/SiO<sub>2</sub> interface up to a critical stress estimated to a few GPa where the oxidation rate would be completely negligible. The second theory proposed is the “diffusion limited mechanism” with a significant increase in the activation energy of the oxidant diffusivity in the highly stressed region.<sup>2</sup> In this case, the origin of self-limited effects would be the oxidant species supply at the interface. However, despite the fact that an unknown and uncontrolled amount of strain is introduced, no quantitative determination of the mechanical stress build-up is undertaken in the two approaches.

In order to model the oxidation of cylinder nano-objects, the extended Deal and Grove model in cylindrical coordinates has been used.<sup>11</sup> The wet oxidation rate  $v$  at the Si/SiO<sub>2</sub> interface is given by (Eq. (1))

<sup>a)</sup>Electronic mail: christophe.krzeminski@isen.fr.

<sup>b)</sup>Electronic mail: guilhem.larrieu@laas.fr.





where  $k_B$  is the Boltzmann constant,  $T$  is the oxidation temperature, and  $V_k$  ( $15 \text{ \AA}^3$ ) corresponds to the activation volume. A compressive radial stress ( $\sigma_r < 0$ ) slows down the linear oxidation rate. The term  $(B/A)_{[110]}(T)$  takes into account the influence of the [110] crystalline orientation and the factor taking into account orientation effects has been calibrated with planar bulk oxidation experiments. Next the oxidant diffusivity,  $D_{SiO_2}^P$ ,

$$D_{SiO_2}^P = \frac{N}{2C^*} \cdot B(T) = \frac{N}{2C^*} \cdot B_0(T) \cdot \exp\left(\frac{-PV_d}{k_B T}\right) \quad (3)$$

is linearly dependent on the initial parabolic constant  $B_0(T)$  ( $2.68 \cdot 10^{-13} \text{ nm}^2/\text{s}$  at  $850^\circ\text{C}$ ) and is limited by a compressive ( $P > 0$ ) hydrostatic pressure  $P = -0.5 \cdot (\sigma_r + \sigma_\theta)$  in the silicon oxide ( $V_d = 45 \text{ \AA}^3$ ). These assumptions are often estimated to be equivalent to a diffusivity dependence with oxide density.<sup>12</sup>

A major issue in oxidation modelling is a proper description of the mechanical behavior of silicon dioxide as shown in Fig. 2 and its ability to store or to dissipate mechanical energy. A shortcoming is also observed for the viscous standard approach<sup>11,13</sup> since the compressive radial stress at the interface is inversely proportional to the curvature radius of the nano-object and strongly overestimates the stress level.<sup>14</sup> The main reason is that the irreversible atomic rearrangements occurring with large shearing forces<sup>15</sup> are neglected. This plastic flow is described by a shear dependent viscosity<sup>16</sup>

$$\eta(\tau) = \eta_0(T) \frac{\tau/\sigma_c}{\sinh(\tau/\sigma_c)}, \quad (4)$$

where  $\eta_0(T)$  is the low stress viscosity,  $\tau$  is the critical resolved shear stress, and  $\sigma_c$  is the critical stress threshold where plasticity flow should appear (1 GPa). The low stress viscosity value ( $1.4 \cdot 10^{18}$  Poise at  $850^\circ\text{C}$ ) considered is

$$v = \frac{(\alpha - 1)C^*}{N} \cdot \frac{1}{\frac{1}{k_{Si}^\sigma} \pm \frac{a}{D_{SiO_2}^P} \log\left(\frac{b}{a}\right)}, \quad (1)$$

with  $a$  and  $b$ , respectively, the inner and outer radius,  $\alpha$  the volume expansion factor of silicon to oxide conversion (2.25),  $N$  the number of oxidant molecules incorporated into a unit volume of silicon oxide, and  $+$  and  $-$  signs denote, respectively, the convex and concave surface. This equation classically takes into account that the surface curvature influences the oxidant concentration and in the convex (concave) configuration, the concentration increases (decreases). In our approach, both the reaction rate  $k_{Si}^\sigma$  at the Si/SiO<sub>2</sub> interface and the diffusivity in the silicon oxide  $D_{SiO_2}$  are stress dependent. The reaction rate  $k_{Si}^\sigma$  is directly proportional to the linear rate constant  $(B/A)_{[110]}(T)$  ( $5.18 \cdot 10^{-09} \text{ nm/s}$  at  $850^\circ\text{C}$ ) defined in the Deal and Grove approach by introducing  $C^*$  the oxidant solubility in the silicon dioxide and is strongly dependent on the radial stress component  $\sigma_r$  at the Si/SiO<sub>2</sub> interface

$$k_{Si}^\sigma = \frac{N}{C^*} \cdot (B/A)_{[110]}(T) \exp\left(\frac{\sigma_r V_k}{k_B T}\right), \quad (2)$$

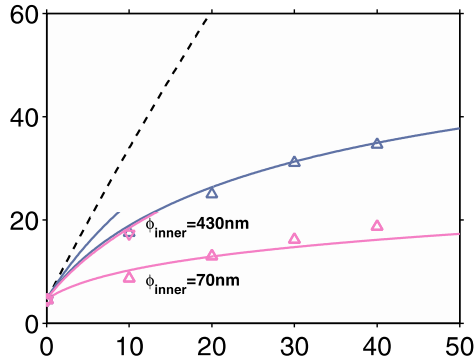
characteristic of a wet oxide with a high viscosity induced by the presence of hydroxyl content.<sup>17</sup> Following the expression of the critical resolved shear stress  $\tau(r) = \frac{2\eta_0 av}{r^2}$ , it can be underlined that the oxidation growth rate (Eq. (1)), the shear dependent viscosity (Eq. (2)), and finally the critical shear stress are coupled to each other. The fact that all these equations must be self-consistently solved is often overlooked or not exactly taken into account. Following Rafferty *et al.*,<sup>18</sup> the radial ( $\sigma_r$ ) and tangential ( $\sigma_\theta$ ) stress field component in the silicon dioxide of a cylinder structure (see Fig. 2) can be expressed as

$$\begin{cases} \sigma_r(r) = \pm \frac{1}{2} \sigma_c \left[ \left( \ln \frac{R^2}{b^2} \right)^2 - \left( \ln \frac{R^2}{r^2} \right)^2 \right], \\ \sigma_\theta(r) = \sigma_r(r) - 2\tau(r) \end{cases} \quad (5)$$

with the reduced parameter  $R = \sqrt{\frac{4\eta_0 av}{\sigma_c}}$ . Compared to a standard viscous approach<sup>11</sup> with a constant viscosity, the radial stress build-up has a logarithmic dependence on the curvature radius which gives us the opportunity to model the oxidation of cylinder shape nanostructures.

Fig. 3(a) shows that the influence of the concave or convex character on the oxidation kinetics can be well predicted by the model. As shown in Fig. 3(b), a substantial non-linear increase is observed for the compressive radial stress component at the interface up to a few GPa, coupled with an initial

tensile hydrostatic pressure (inset of Fig. 3(b)). The radial stress build-up is not linear with time as assumed in a previous study.<sup>6</sup> These elements clearly indicate that a reaction limited process takes place in the convex configuration. The



situation is totally different in the concave case where a radial compressive stress build-up remains limited whereas the compressive hydrostatic pressure clearly impacts the oxidant diffusivity. In that case, the major limiting factor is the diffusion mechanism which reduces the oxidant supply. A quasi self-limited oxidation for 70 nm concave structure is observed and can be correlated to the occurrence of both a diffusion and reaction limited regime. As summarized by Table I, the dominant retardation mechanism is strongly dependent on the surface shape but can be explained by the variation of the stress field component at the Si/SiO<sub>2</sub> in agreement with previous results.<sup>11</sup>

Fig. 4(a) presents the linear rate modeling with oxidation time and SiNW diameters reported in Fig. 1(b). A strong decrease in the reaction rate with radial stress build-up as a function of SiNW diameters is predicted which could be directly correlated to the large radial stress build up depicted in Fig. 4(c). Large non-linear build-up as a function of the oxidation time and SiNW diameters for the compressive radial stress down to 4 GPa which remains compatible with interfacial stress estimated using contact-resonance atomic force microscopy.<sup>19</sup> This effect causes the initial retarded effects observed in the oxidation of convex nanostructures. The difference in terms of behavior between the SiNBs and the SiNWs can be explained since finite elements simulations estimate a much lower compressive stress build-up for the SiNBs. Fig. 4(b) presents the evolution of the parabolic rate with SiNW diameters. A decrease in the parabolic rate is observed after a significant delay which can be correlated to the tangential stress relaxation as shown in inset of Fig. 4(c). This diffusion limited effect generated by a compressive hydrostatic pressure is probably much more difficult to control as both time and diameter dependences are observed in Fig. 4(b).

In summary, retarded oxidation kinetics have been investigated at the nanoscale level for different silicon nano-objects. The dependence of the nano-object dimension, shape, and size on the oxidation behaviour has been validated. These effects have been correlated to the interfacial stress build-up during oxidation. Modelling aspects show

that plastic relaxation needs to be considered in order to estimate (i) a physical mechanical stress build-up at the interface and (ii) the interface velocity. Reaction or diffusion limited mechanisms must be considered to describe retarded oxidation effects in silicon nanostructures.

This work was partially supported by the European Commission through the NANOSIL Network of Excellence (FP7-IST-216171) and the RTB platform (French national nanofabrication network, RENATECH).

- <sup>1</sup>R. Okada and S. Iijima, *Appl. Phys. Lett.* **58**, 1662 (1991).
- <sup>2</sup>H. I. Liu, D. K. Biegelsen, F. A. Ponce, N. M. Johnson, and R. F. W. Pease, *Appl. Phys. Lett.* **64**, 1383 (1994).
- <sup>3</sup>H. Coffin, C. Bonafos, S. Schamm, N. Cherkashin, G. B. Assayag, A. Claverie, M. Respaud, P. Dimitrakakis, and P. Normand, *J. Appl. Phys.* **99**, 044302 (2006).
- <sup>4</sup>X. Tang, C. Krzeminski, A. L. des Etangs-Levallois, Z. Chen, E. Dubois, E. Kasper, A. Karmous, N. Reckinger, D. Flandre, L. A. Francis, J.-P. Colinge, and J.-P. Raskin, *Nano Lett.* **11**, 4520 (2011).
- <sup>5</sup>D. Shir, B. Z. Liu, A. M. Mohammad, K. K. Lew, and S. E. Mohny, *J. Vacuum Sci. Technol. B: Microelectron. Nanometer Struct.* **24**, 1333 (2006).
- <sup>6</sup>H. Heidemeyer, C. Single, F. Zhou, F. E. Prins, D. P. Kern, and E. Plies, *J. Appl. Phys.* **87**, 4580 (2000).
- <sup>7</sup>C. C. Büttner and M. Zacharias, *Appl. Phys. Lett.* **89**, 263106 (2006).
- <sup>8</sup>X.-L. Han, G. Larrieu, and E. Dubois, *J. Nanosci. Nanotechnol.* **10**, 7423 (2010).
- <sup>9</sup>X.-L. Han, G. Larrieu, P.-F. Fazzini, and E. Dubois, *Microelectron. Eng.* **88**, 2622 (2011).
- <sup>10</sup>B. E. Deal and A. S. Grove, *J. Appl. Phys.* **36**, 3770 (1965).
- <sup>11</sup>D.-B. Kao, J. McVittie, W. Nix, and K. Saraswat, *IEEE Trans. Electron Devices* **35**, 25 (1988).
- <sup>12</sup>P. Sutardja and W. Oldham, *IEEE Trans. Electron Devices* **36**, 2415 (1989).
- <sup>13</sup>V. Senez, D. Collard, B. Baccus, and J. Lebailly, *J. Appl. Phys.* **76**, 3285 (1994).
- <sup>14</sup>C. S. Rafferty, L. Borucki, and R. W. Dutton, *Appl. Phys. Lett.* **54**, 1516 (1989).
- <sup>15</sup>M. L. Falk and J. S. Langer, *Annu. Rev.* **2**, 353 (2011).
- <sup>16</sup>H. Eyring, *J. Chem. Phys.* **4**, 283 (1936).
- <sup>17</sup>G. Hetherington, K. H. Jack, and J. C. Kennedy, *Phys. Chem. Glasses* **5**, 130 (1964).
- <sup>18</sup>C. S. Rafferty and R. W. Dutton, *Appl. Phys. Lett.* **54**, 1815 (1989).
- <sup>19</sup>G. Stan, S. Krylyuk, A. V. Davydov, and R. F. Cook, *Nano Lett.* **10**, 2031 (2010).

# Vertical nanowire array-based field effect transistors for ultimate scaling†

G. Larrieu<sup>\*a</sup> and X.-L. Han<sup>b</sup>

Nanowire-based field-effect transistors are among the most promising means of overcoming the limits of today's planar silicon electronic devices, in part because of their suitability for gate-all-around architectures, which provide perfect electrostatic control and facilitate further reductions in "ultimate" transistor size while maintaining low leakage currents. However, an architecture combining a scalable and reproducible structure with good electrical performance has yet to be demonstrated. Here, we report a high performance field-effect transistor implemented on massively parallel dense vertical nanowire arrays with silicided source/drain contacts and scaled metallic gate length fabricated using a simple process. The proposed architecture offers several advantages including better immunity to short channel effects, reduction of device-to-device variability, and nanometer gate length patterning without the need for high-resolution lithography. These benefits are important in the large-scale manufacture of low-power transistors and memory devices.

## Introduction

The development of electronics and the continuous improvement in circuit performance have historically been driven by the "simple" downscaling of the basic circuit building block: the MOS transistor. Today, the physical limitations of nanoscale transistor operation (in particular the increasing power consumption per chip) have led to the development of innovative MOS architectures, such as multi-gate devices (FinFET and tri-gate approaches) to improve electrostatic control of the channel. The natural evolution of these architectures is the gate-all-around (GAA) transistor<sup>1,2</sup> fabricated on a semiconductor nanowire (NW). These devices represent an ideal design for electrostatic control of charge inversion and permit further reductions in transistor size. However, the current flowing through such devices in the "on" state (current drive) remains low due to the small cross-sectional area of the NW. It is therefore essential to implement these transistors on nanowire arrays rather than on single NWs in order to combine excellent electrostatic control with increased current capability and an improved signal/noise ratio.

The numerous methods for fabricating NWs may be grouped into bottom-up (B-U) and top-down (T-D) approaches. In B-U methods, the NWs are grown on a substrate using chemical deposition techniques, whereas nanostructure formation in T-D fabrication is based on the selective etching of a patterned planar

material. Each method has its own advantages and drawbacks: the B-U route enables NWs to be grown using a large variety of materials, while the T-D approach may be quickly integrated into standard CMOS processes with a very good reproducibility and NW control (position, diameter, and pitch). From an integration point of view, NWs may be processed horizontally (planar) or vertically. Horizontal NW approaches are limited in terms of NW density. NWs fabricated using etching processes (T-D) have, in the best case, a density slightly higher than those fabricated using conventional planar technology,<sup>3</sup> while high-density arrays are very difficult to achieve using horizontal growth techniques (B-U). In order to obtain a planar orientation, horizontal growth must be guided in cavities<sup>4</sup> or the NWs must be grown separate from the substrate and then relocated<sup>5,6</sup> in a complex, contamination-prone, and poorly reproducible process. Multi-layer horizontally stacked NWs<sup>7</sup> require extremely complex processes, and achieving the desired device miniaturization is fraught with difficulty. On the other hand, vertical integration is a particularly attractive approach because its 3-D character is directly compatible with both T-D and B-U growth methods and the process results in extremely high integration densities<sup>8</sup> (70% surface shrink compared to planar architecture<sup>3</sup>), opening the way to new integration approaches. Despite this promising potential, a vertical approach has not yet been used to demonstrate an outstanding scaled architecture because of challenges such as contact formation at the bottom of the wires,<sup>9</sup> and perfect control of the thickness and flatness of spacer layers.<sup>10-13</sup> In this work, we realize a FET device implemented on a vertical NW array with a sub-14 nm gate length ( $L_g$ ) that demonstrates excellent electrostatic behavior and promising scaling properties in view of reaching sub-5 nm architecture.

<sup>a</sup>LAAS, CNRS, Univ de Toulouse, 7 av. du Colonel Roche, 31077 Toulouse, France. E-mail: glarrieu@laas.fr

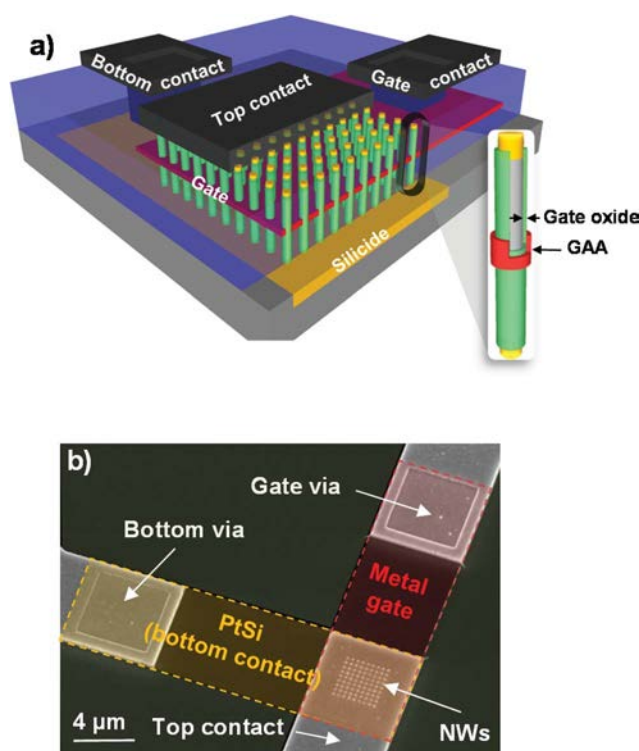
<sup>b</sup>IEMN-UMR CNRS 8520, Avenue Poincare, 59650 Villeneuve d'Ascq, France

† Electronic supplementary information (ESI) available. See DOI: 10.1039/c3nr33738c

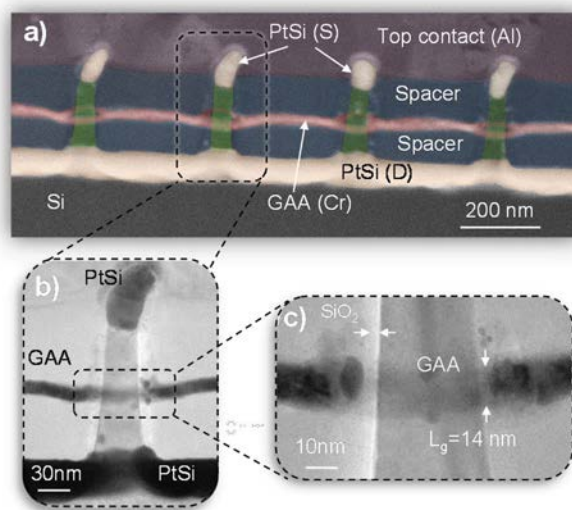
## An easy-to-manufacture nano-transistor

The proposed architecture was implemented on dense Si NW arrays obtained using a top-down approach that couples e-beam lithography with plasma etching and sacrificial self-limited oxidation.<sup>14</sup> The process is based on the stress retarded oxidation phenomenon<sup>15</sup> and enables fabrication of very reproducible NWs with perfectly controlled diameter and position and much lower dimensional variability than other top-down approaches. Free standing NWs with diameters as small as 16 nm<sup>14</sup> have been patterned starting from a (100) bulk wafer with a p-type doping level of  $8 \times 10^{18}$  at. cm<sup>-3</sup>. The diameter dimension is taken at the middle part of the nanowire. Fig. 1a is a schematic view of the device in which terminals embedded in a dielectric matrix are positioned at the bottom, center, and top of the NW for use as the source, gate and drain contacts. Fabrication begins with formation of a thin gate oxide (5 nm) using dry oxidation followed by an anisotropic plasma etch to remove the oxide layer at each nanowire termination. A 15 nm platinum layer is anisotropically deposited using e-beam evaporation, and temperature activation (RTP N<sub>2</sub>H<sub>2</sub>, 500 °C/3 min) is used to create silicided contacts at the bottom and the top of each NW (the source and drain contacts). The greatest technological challenge in fabricating competitive 3D vertical devices is obtaining nanometer-scale control of the layer engineering

using conventional methods rather than high-resolution lithography. A key step is the construction of the insulating layer between the contact electrodes (source, gate, and drain, Fig. 1a) in order to achieve symmetrical ultra-small scale devices. Previous attempts<sup>11–13</sup> exhibited sloping layers (up- or down-slope depending on the process conditions). The corresponding gate layers, which necessarily reproduce the shape of the underlying insulator, therefore induced high parasitic capacitances and prevented successful downscaling. By employing a spin-on glass filling step followed by a chemical etch-back, we achieved perfect control of the insulator layer planarization to obtain a flat topology as well as nanometer-scale thickness control. An inorganic flowable resist with a chemical structure (hydrogen silsesquioxane) similar to silicon dioxide was spin-coated on the nanowire array to embed the entire network in a dielectric matrix. The material flow ability provided excellent layer flatness, particularly over the wire networks, where differences in topology were less than one nanometer as measured using atomic force microscopy (S1, ESI†). Using a highly dilute solution of hydrofluoric acid in deionized water (1 : 1000), we obtained very precise control of the etching rate (approximately 1 nm s<sup>-1</sup>). This in turn provided excellent control of the surface position and resulted in very low surface roughness (similar to the roughness of the dielectric surface before etching). The dielectric structure of the spacer is less dense than the thermal SiO<sub>2</sub> gate dielectric, leading to a large etching selectivity (>1 : 5000) and preserving the gate insulator during wet etching. Planarization was used to position the top surface of the dielectric spacer at the desired height, and an anisotropic metal deposition (e.g. Cr with a work function of 4.5 eV) was subsequently performed to define gate structures surrounding the NWs. This is particularly interesting for



**Fig. 1** Representation of a vertical nanowire array-based field effect transistor. (a) An artist view and (b) a SEM aerial view of a vertical FET device implemented on a dense nanowire array with extrinsic access connecting different levels (top, bottom and gate contacts). In the inset of (a), a zoom of a nanowire with a cross-section view in the top part shows the gate stack composed of the gate oxide and the metal gate surrounding the NW. Each termination is silicided symmetrically compared with the gate.



**Fig. 2** Transmission electron micrographs of the vertical nanowire array transistor. (a) TEM crosssection in tilted view with false color of the device with a gate surrounding each nanowire, a symmetrical silicided S/D (PtSi) contacts and 60 nm low  $\kappa$  (2.7) dielectric spacers separating the S/D contacts to the gate, (b) a zoom of the TEM crosssection with a nice planarity of the stacked layers and (c) a zoom of the GAA region with the 5 nm SiO<sub>2</sub> gate oxide and the 14 nm gate length.



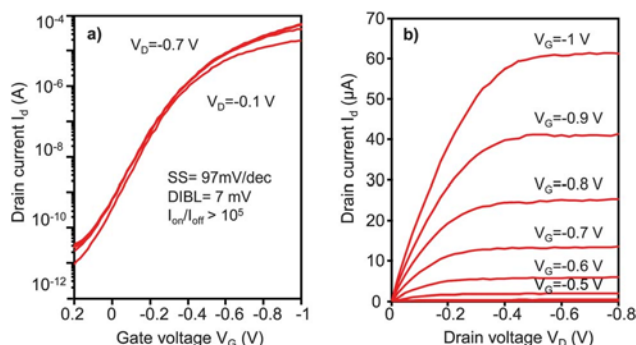
nano-transistor realization because the gate length is simply defined by the thickness of the deposited gate material. As indicated in red in the schematic provided in Fig. 1a and the tilted SEM image in Fig. 1b, the metal layer includes an extension to receive the connection to the gate contact. This extension is rotated by 90° compared to the source extension (yellow) to minimize gate–source overlap and associated parasitic capacitances. A second planarization is used to create the gate–drain spacer and define the top contact (drain). The fabrication ends with a conventional back-end process including vias and metallization. Fig. 2 is a TEM crosssection of the final device where the possibility of integrating massively parallel dense NW arrays with symmetrically silicided S/D and scaled metallic gate-all-around ( $L_g \sim 14$  nm) architecture is demonstrated. Vertical NW array-based transistors are much easier to manufacture than conventional FET architectures (as well as being lower in cost) because the gate length is defined without high-resolution lithography. Furthermore, no highly doped S/D junctions with high thermal budgets and complex processing are needed. In

this work, the structures were implemented on dense vertical NW arrays obtained using top-down technology, but the design is also suitable for bottom-up approaches where, for example, well-ordered vertical InAs<sup>16</sup> NW arrays have been reported.

## Competitive electrical performance

Fig. 3a and b are examples of the transfer and output characteristics of such a device ( $L_g = 14$  nm, NW diameter = 30 nm,  $t_{ox} = 5$  nm, and 225 NWs in parallel) in which behavior remarkably close to ideal is observed. The off current is  $5.2 \times 10^{-10}$  A and the  $I_{on}/I_{off}$  ratio is greater than five decades at a power supply voltage  $V_{DD} = V_G = V_D = -0.8$  V. This device also exhibits very good immunity to short channel effects (SCEs) considering the scaled gate length achievable thanks to the gate-all-around configuration, which offers excellent electrostatic performance. The sub-threshold slope is below 100 mV dec<sup>-1</sup> at 300 K and the drain induced barrier lowering (DIBL) is 7 mV V<sup>-1</sup>. SCE parameters generally tend to worsen when the gate length is scaled and therefore affect transistor performance (switching speed) as the supply voltage is reduced. The output characteristics saturate very well at low  $V_D$  (−0.4 V) and the bowing trend of the linear regime indicates that the transport is not limited by the access resistance. However, the current drive is limited by a relatively low hole mobility value in the (100) direction, which collapses in a very short gate length device.<sup>17</sup> In modern Si transistors, the current drive increase is no longer obtained by the conventional scaling of the transistor but in the largest proportion by the introduction of process boosters as strain-induced mobility enhancement.<sup>18</sup> High mobility channels can be introduced in our vertical NW array architecture by using a process induced stress<sup>19</sup> (oxidation, silicidation) or by implementing NWs with high intrinsic mobility (III–V, Ge).

It is important to stress that the proposed architecture is different from the conventional MOSFET configuration based on highly doped S/D regions, which are difficult to fabricate at the nanoscale, especially in 3D configurations. It consists of a metallic S/D MOSFET approach,<sup>20</sup> (PtSi silicide contacts) that are connected to uniformly doped NWs ( $8 \times 10^{18}$  at. cm<sup>-3</sup>). The



to guide the eye.

carrier injection properties such as thermionic injection are improved due to the high doping level of the semiconductor, which greatly enhances the tunneling contribution.<sup>21</sup> A platinum silicide-based contact is known to offer an intrinsic low Schottky barrier height for holes, which is particularly interesting for achieving low contact resistances in p-type applications. In addition, it also provides low resistivity n-type contacts<sup>22</sup> when a substantial concentration of a donor-like dopant is present at the interface. This leads to a drastic process simplification while preserving a low metal/Si contact resistivity. Finally, the gate-all-around configuration can deplete the small volume of semiconductor when the device is turned off, in a manner similar to junctionless devices.<sup>23</sup> In Fig. 4a and b the immunity against short channel effect (DIBL and sub-threshold swing) and the evolution of off-state current and the  $I_{\text{on}}/I_{\text{off}}$  ratio are presented as functions of the NW diameter. For large nanowires ( $\Phi > 40$  nm) gate control over the channel is weak, resulting in high leakage current and static characteristic degradation (increase in short channel effect parameters). Devices constructed using nanowires smaller than 40 nm in diameter maintain good electrostatic integrity and efficiency in suppressing SCEs. This offers a substantial relaxation of the requirements for nanowire diameter, which is beneficial for gate length scaling.

## Ultimately scaled, SCE immunity, and variability

The observed good immunity against short channel effect with such NW diameters can at first sight appear surprising. Indeed, according to the scaling theory<sup>24</sup> for cylindrical GAA MOSFETs (*i.e.* nanowire MOSFETs) efficient control of SCE for a given transistor can be achieved only if the ratio  $L_{\text{eff}}/2\lambda$  is greater than 2, where  $L_{\text{eff}}$  is the effective channel length and  $\lambda$  is the natural length of the transistors defined as:<sup>24</sup>

$$\lambda = \sqrt{\frac{2 \epsilon_{\text{nw}} \Phi_{\text{nw}}^2 \ln\left(1 + \frac{2 t_{\text{ox}}}{\Phi_{\text{nw}}}\right) + \epsilon_{\text{nw}} \Phi_{\text{nw}}^2}{16 \epsilon_{\text{ox}}}} \quad (1)$$

with  $\epsilon_{\text{nw}}$  and  $\epsilon_{\text{ox}}$  being the dielectric constants of silicon and silicon oxide,  $\Phi_{\text{nw}}$  the diameter of the nanowire, and  $t_{\text{ox}}$  the thickness of the gate dielectric. Considering a conventional GAA architecture with doped p–n junctions, a diameter of approximately 10 nm is predicted by eqn (1) to ensure SCE control with a 14 nm gate length device. In contrast, the absence of highly doped junctions in our configuration results in an increase in the effective channel length induced by fringing capacitances at the edge of the physical metallic gate,<sup>25</sup> whereas the conventional highly doped S/D regions geometrically demarcate the electrical channel length without any degree of freedom. On the other hand, because of the accumulation mode regime of highly doped NWs the increase in electrical channel length is unaffected when the device is turned on.

Another concern in scaling is variability, which is a major challenge for the design of nanoscale MOSFETs. Imperfections in the Si/SiO<sub>2</sub> interface or the silicide/semiconductor contacts,

irregularity in location, and dopant concentration have become very important in nanometer-scale devices.<sup>26</sup> The particular configuration of nanowires with large surface/volume ratios exacerbates device-to-device fluctuations in the current–voltage characteristics, particularly the threshold voltage. Fig. 4c illustrates the variation of threshold voltage as a function of the number of nanowires addressed in one device. The interest in addressing a large assembly of nanostructures in parallel stems from the fact that it mitigates the effects of the previously described fluctuations and imperfections, which have a strong impact on the behavior of a single nanostructure if addressed separately but are averaged when a large number of nanowires are considered together.<sup>28</sup>

## Conclusion

We demonstrated the possibility of integrating massively parallel dense NW arrays with silicided S/D contacts and scaled metallic gate length in a process readily amenable to manufacturing. The proposed architecture is efficient for ultimate gate length transistor scaling because of its very good immunity to short channel effects even when the semiconductor body is not as thin as required in conventional structures and its potential for minimizing device-to-device electrical variability. The structure opens the way for integration of new materials such as high mobility III–V channels and new device concepts such as the band-to-band tunneling FET,<sup>29</sup> which will greatly benefit vertical NW architecture.

## Acknowledgements

Authors wish to thank F. Cristiano and D. Troadec for TEM analysis. This work was supported by the European Commission through the NANOSIL Network of Excellence (FP7-IST-216171) and through the NANO-TEC (FP7-257694) and by the French RENATECH network (French national nanofabrication platform).

## References

- 1 I. Ferain, C. Colinge and J.-P. Colinge, *Nature*, 2011, **479**, 310–316.
- 2 K. J. Kuhn, *Microelectron. Eng.*, 2011, **88**, 1044–1049.
- 3 D.-L. Kwong, X. Li, Y. Sun, G. Ramanathan, Z. X. Chen, S. M. Wong, Y. Li, N. S. Shen, K. Buddhharaju, Y. H. Yu, S. J. Lee, N. Singh and G. Q. Lo, *J. Nanotechnol.*, 2012, **2012**, article ID 492121.
- 4 Y. Shan, A. K. Kalkan, C. Y. Peng and S. J. Fonash, *Nano Lett.*, 2004, **4**, 2085–2089.
- 5 Y. Huang, X. F. Duan, Q. Q. Wei and C. M. Lieber, *Science*, 2001, **291**, 630–633.
- 6 P. A. Smith, C. D. Nordquist, T. N. Jackson and T. S. Mayer, *Appl. Phys. Lett.*, 2000, **77**, 1399–1401.
- 7 T. Ernst, C. Dupre, C. Isheden, E. Bernard, R. Ritzenthaler, V. Maffini-Alvaro, J. C. Barbe, F. De Crecy, A. Toffoli, C. Vizoz, S. Borel, F. Andrieu, V. Delaye, D. Lafond, G. Rabille, J. M. Hartmann, M. Rivoire, B. Guillaumot, A. Suhm, P. Rivallin, O. Faynot, G. Ghibaudo and



- S. Deleonibus, *Intl. Electron Devices Meeting Tech. Dig.*, 2006, 663–666.
- 8 Y. Sun, *et al.*, *IEEE Electron Device Lett.*, 2011, **32**, 725–727.
- 9 K. Tomioka, M. Yoshimura and T. Fukui, *Nature*, 2012, **488**, 189–192.
- 10 M. Egard, S. Johansson, A. C. Johansson, K. M. Persson, A. W. Dey, B. M. Borg, C. Thelander, L. E. Wernersson and E. Lind, *Nano Lett.*, 2010, **10**, 809–812.
- 11 C. Thelander, L. E. Froberg, C. Rehnstedt, L. Samuelson and L.-E. Wernersson, *IEEE Electron Device Lett.*, 2008, **29**, 206–208.
- 12 V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess and U. Gösele, *Small*, 2006, **2**, 85–88.
- 13 S. Johansson, S. Ghalamestani, M. Borg, E. Lind and L. E. Wernersson, *Microelectron. Eng.*, 2011, **88**, 1105–1108.
- 14 X. L. Han, G. Larrieu, P. F. Fazzini and E. Dubois, *Microelectron. Eng.*, 2011, **88**, 2622–2624.
- 15 H. Liu, D. Biegelsen, F. Ponce, N. Johnson and R. Pease, *Appl. Phys. Lett.*, 1994, **64**, 1383–1386.
- 16 K. Tomioka, J. Motohisa, S. Hara and T. Fukui, *Nano Lett.*, 2008, **8**, 3475–3480.
- 17 J. Ramos, E. Augendre, A. Kottantharayil, A. Mercha, E. Simoen, M. Rosmeulen, S. Severi, C. Kerner, T. Chiarella, A. Nackaerts, I. Ferain, T. Hoffmann, M. Jurczak and S. Biesemans, *et al.*, *International Conference on Solid-state and Integrated Circuit Technology*, 2006, 72–74.
- 18 P. Packan, S. Cea, H. Deshpande, T. Ghani, M. Giles, O. Golonzka, M. Hattendorf, R. Kotlyar, K. Kuhn, A. Murthy, P. Ranade, L. Shifren, C. Weber and K. Zawadzki, *Intl. Electron Devices Meeting Tech. Dig.*, 2008, 66–69.
- 19 Y.-M. Niquet, C. Delerue and C. Krzeminski, *Nano Lett.*, 2012, **12**, 3545–3550.
- 20 J. Kedzierski, P. Xuan, E. H. Anderson, J. Bokor, T.-J. King and C. Hu, *Intl. Electron Devices Meeting Tech. Dig.*, 2000, 57–60.
- 21 G. Larrieu, E. Dubois, D. Yarekha, N. Breil, N. Reckinger, X. Tang, J. Ratajczak and A. Laszcz, *Mater. Sci. Eng., B*, 2008, **154–155**, 159–162.
- 22 G. Larrieu and E. Dubois, *IEEE Electron Device Lett.*, 2011, **32**, 728–730.
- 23 J.-P. Colinge, C. Chi-Woo Lee, A. Afzalian, N. Akhavan, Y. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A. Kelleher, B. McCarthy and R. Murphy, *Nat. Nanotechnol.*, 2010, **5**, 225–229.
- 24 C. P. Auth and J. D. Plummer, *IEEE Electron Device Lett.*, 1997, **18**, 74–76.
- 25 S. Gundapaneni, S. Ganguly and A. Kottantharayil, *IEEE Electron Device Lett.*, 2011, **32**, 1325–1327.
- 26 X. Wang, A. Brown, B. Cheng and A. Asenov, *Intl. Electron Devices Meeting Tech. Dig.*, 2011, 103–106.
- 27 D. K. Schroeder, *Semiconductor material and device characterization*, Wiley, New York, 2nd edn, 1998.
- 28 X. L. Han, G. Larrieu, E. Dubois and F. Cristiano, *Surf. Sci.*, 2012, **606**, 836–839.
- 29 A. M. Ionescu and H. Riel, *Nature*, 2011, **479**, 329–337.

# Electronic transport mechanisms in scaled gate-all-around silicon nanowire transistor arrays

N. Clément,<sup>1,a)</sup> X. L. Han (韩相磊),<sup>1</sup> and G. Larrieu<sup>2,a)</sup>

<sup>1</sup>*Institute of Electronics, Microelectronics and Nanotechnology, CNRS, Avenue Poincaré, 59652 Villeneuve d'Ascq, France*

<sup>2</sup>*Laboratory for Analysis and Architecture of Systems (LAAS), CNRS, Université de Toulouse, 7 Avenue Colonel Roche, 31077 Toulouse, France*

(Received 30 October 2013; accepted 9 December 2013; published online 27 December 2013)

Low-frequency noise is used to study the electronic transport in arrays of 14 nm gate length vertical silicon nanowire devices. We demonstrate that, even at such scaling, the electrostatic control of the gate-all-around is sufficient in the sub-threshold voltage region to confine charges in the heart of the wire, and the extremely low noise level is comparable to that of high quality epitaxial layers. Although contact noise can already be a source of poor transistor operation above threshold voltage for few nanowires, nanowire parallelization drastically reduces its impact.

© 2013 AIP Publishing LLC. [<http://dx.doi.org/10.1063/1.4858955>]

Further reduction in the size of the metal-oxide semiconductor field-effect transistors (MOSFETs) used in computer chips will require more complex geometries to enhance the gate control of the current flow in the transistor channel.<sup>1</sup> Gate-all-around (GAA) is the optimum device configuration to electrostatically control a transistor with narrowest channel length<sup>2</sup> and minimize the leakage current when the device is in the off-state, making the device operate with less dissipation per switching event. Several GAA geometries are possible and have been demonstrated either in horizontal<sup>3</sup> or vertical configuration.<sup>4–7</sup> Although technical solutions are envisioned to ultimately scale the gate length  $L_g$  of transistors down to few nanometers,<sup>5</sup> many open questions remain on the impact of the transition from 1D (either long gate or large width) to transistors scaled in all dimensions on device operation. Among them, the quality of devices fabricated and sources of fluctuation that could induce poor transistor operation or dispersion in electrical properties should be addressed clearly to propose solutions for ultimate integration. However, classical characterization techniques, such as mobility extraction, are insufficient to provide information on the devices quality at ultimate scaling, because the mobility can collapse at such small gate lengths.<sup>8–11</sup> Low-frequency noise can be a very precise technique for characterizing electronic transport in low-noise nanodevices.<sup>12,13</sup> Previous studies of low-frequency noise in transistors with a nanowire (NW) channel have addressed the potential of this architecture for extremely low noise level. However, they have either been performed with very long channel<sup>14–17</sup> or on short channel,<sup>12,18</sup> but in a specific configuration, not acceptable for large-scale integration.

Figure 1(a) shows a schematic view of the device,<sup>5</sup> which is a scaled version of a p-type (doping level  $8 \times 10^{18} \text{ cm}^{-3}$ ) junctionless transistors.<sup>19</sup> Figure 1(b) shows a cross-sectional transmission electron microscopy image of the final device, which integrated massively parallel, dense NW arrays with symmetrically silicided Source/Drain and scaled

metallic gate-all-around ( $L_g \sim 14 \text{ nm}$ ) architectures. As expected from a top-down patterning of single-crystal silicon coupled with sacrificial thermal oxidation, NWs obtained are of high crystalline quality with an atomic-level-smooth Si-SiO<sub>2</sub> interface<sup>35</sup> (see Fig. 1(c)). Fig. 1(d) offers a schematic view of the device illustrating the different sources of noise. It includes noise at contacts, mobility fluctuation due to defects in the crystal, and single-charge trapping-detrapping at gate oxide interface. This schematic view concerns any scaled GAA transistor.

Figure 2 shows the low-frequency noise-normalized spectra ( $S_I/I^2$ ) of a single NW (Fig. 2(a)) and an array of 2916 NWs (Fig. 2(b)), at gate voltages ( $V_G$ ) of 0 V and  $-0.5 \text{ V}$ . In both cases, the threshold voltage was estimated to be  $\sim -0.4 \text{ V}$ , in agreement with Ref. 5. The spectra followed an  $1/f$  dependence, except for the single scaled NW, for which a slope of  $1/f^2$  was observed at gate voltages above the threshold voltage. The  $1/f^2$  slope, observed after a corner frequency of a Lorentzian spectrum, is typical of a dominant active defect in low-dimensional transistors.<sup>20</sup> Because the time constant associated with the defect may vary between wires, the  $1/f$  noise was observed for the array of wires as an integration of many Lorentzian spectra.<sup>21</sup> We discuss the microscopic origin of the defect below.

Figures 3(a) and 3(b) show the full gate-voltage dependence from subthreshold to linear region of the normalized power spectrum current noise  $S_I/I^2$  at 10 Hz for a single NW and an array of scaled NW devices. The curve shapes exhibited two regimes, similar to Schottky barrier nanoscale field-effect transistors (FETs).<sup>22</sup> For such transistors, the noise equation considers the contribution of the channel and the contacts

$$\frac{S_I}{I^2} = (1 - \eta)^2 \frac{S_{I\text{channel}}}{I^2} + \eta^2 A \left( \frac{q}{kT} \right)^2 \frac{1}{(1 - e^{-qV_d/kT})^2 f}, \quad (1)$$

where  $A$  (in  $\text{V}^2$ ) is a parameter for noise-amplitude comparison,  $\eta = R_C/(R_C + R_{Ch})$ , with contact and channel resistances  $R_C$  and  $R_{Ch}$ , respectively, and  $f$  is the frequency. The first and second terms are related to the channel and contact

<sup>a)</sup>Authors to whom correspondence should be addressed. Electronic addresses: nicolas.clement@iemn.univ-lille1.fr and guilhem.larrieu@laas.fr

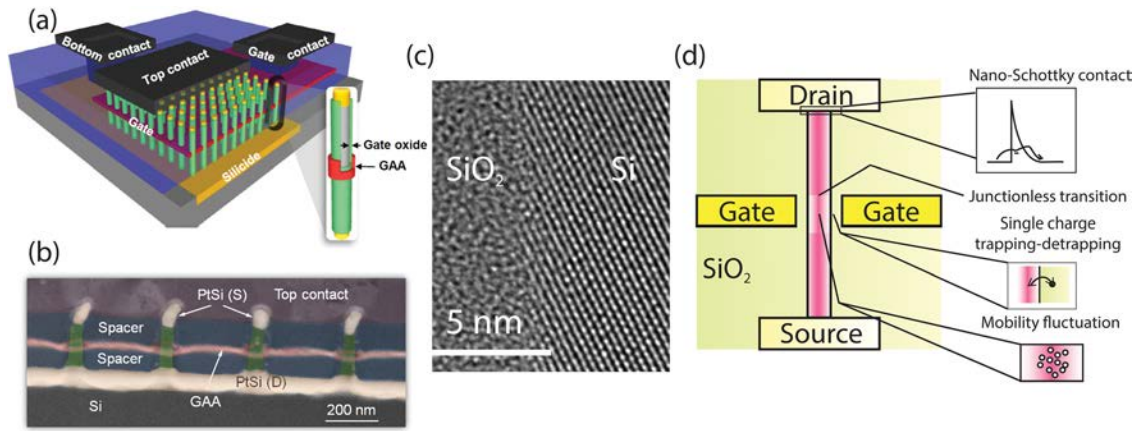


FIG. 1. (a) Representation of a vertical NW array-based FET. Schematic view of a vertical FET device implemented on a dense NW array, with extrinsic access connecting different levels (top, bottom, and gate contacts). Inset: Zoom of a NW in cross-sectional view in the top part shows the gate stack, composed of the gate oxide and the metal gate surrounding the NW. Each termination is silicided symmetrically with respect to the gate. (b) Transmission electron microscopy image of the vertical NW array transistor, in tilted view with false color, showing a gate surrounding each NW, symmetrical silicided S/D (PtSi) contacts and 60-nm low k dielectric spacers separating the S/D contacts to the gate. (c) TEM image: Zoomed image showing Si-SiO<sub>2</sub> interface. Vertical axis corresponds to the (100) crystal axis. (d) Schematic view of the device, showing the different noise sources that are likely in this device, including contact noise, mobility fluctuation in the channel, and single-charge trapping/detrapping at the gate oxide interface. Panels (a) and (b) are reprinted with permission from G. Larrieu and X.-L. Han, *Nanoscale* **5**, 2437 (2013). Copyright 2013 RSC publishing group -Reproduced by permission of The Royal Society of Chemistry (RSC) [<http://pubs.rsc.org/en/content/articlelanding/2013/NR/c3nr33738c#!divAbstract>].<sup>5</sup>

noises, respectively. In the subthreshold regime, the first term dominates, particularly when the channel resistance is large (we can consider  $\eta \sim 0$  at  $V_G \sim 0$  V). As a consequence, we first analyse results below threshold voltage to get information on the charge transport in the wire and gate-oxide interface and then address the contact noise level by analyzing results above threshold voltage.

Below threshold voltage, if we suppose that the trapping/detrapping noise at the channel/oxide interface is dominant, we can derive the following equation for a gate-all-around transistor, starting from number fluctuation theory:<sup>23,24</sup>

$$\frac{S_I}{I^2} = \left( \frac{\ln 10}{S} \right)^2 \frac{q^2 N_{ot} \cdot 2\pi r L}{N C_g^2} \frac{1}{f}, \quad (2)$$

where  $S$  is the subthreshold swing;  $N_{ot}$  is the density of the oxide traps;  $C_g = 13.8$  aF is the gate capacitance for a single NW, estimated from the cylindrical capacitor approximation;  $r = 15$  nm is the NW radius; and  $N$  is the number of nanotransistors in parallel. Using (2), we obtained  $N_{ot} = 1.6 \times 10^8 \text{ cm}^{-2}$  for a single transistor ( $S \sim 200$  mV/dec) and  $N_{ot} = 5.4 \times 10^{10} \text{ cm}^{-2}$  for 2916 nanotransistors ( $S \sim 85$  mV/dec). Consideration of short channel effect in Eq. (2) would not have much affected results, because we do not observe a serious degradation of  $S$  in our device. Such values are typical for low-noise p-type transistors.<sup>24</sup> This finding highlights that the use of sophisticated vertical transistor technology does not increase the density of the oxide traps.

Considering a surface of  $1.4 \times 10^{-11} \text{ cm}^2$  per transistor, we obtained an average of less than one trap per transistor. This observation led us to ask where the noise originated from in a transistor without an oxide trap, such as the transistor with  $N = 1$  ( $N_{ot} = 1.6 \times 10^8 \text{ cm}^{-2}$  corresponds to 0.003 traps). Furthermore, the random telegraph signal (RTS) (i.e., the two-level current fluctuation due to single charge trapping/detrapping) was not observed in the subthreshold region. Thus, in this regime, due to the small density of active traps, mobility noise<sup>25</sup> was likely the dominant source of noise.<sup>26</sup> Hooge's empirical formula<sup>25</sup> for mobility fluctuation in Metal-Oxide-Semiconductor FETs is still valid for scaled FETs

$$\frac{S_I}{I^2} = \frac{\alpha_H q \mu V_D}{IL^2 f}, \quad (3)$$

FIG. 2. Normalized power spectrum noise as a function of frequency at  $V_G = 0$  V (blue curve) and  $-0.5$  V (black curve) for 1 (a) and 2916 scaled SiNWs (b).

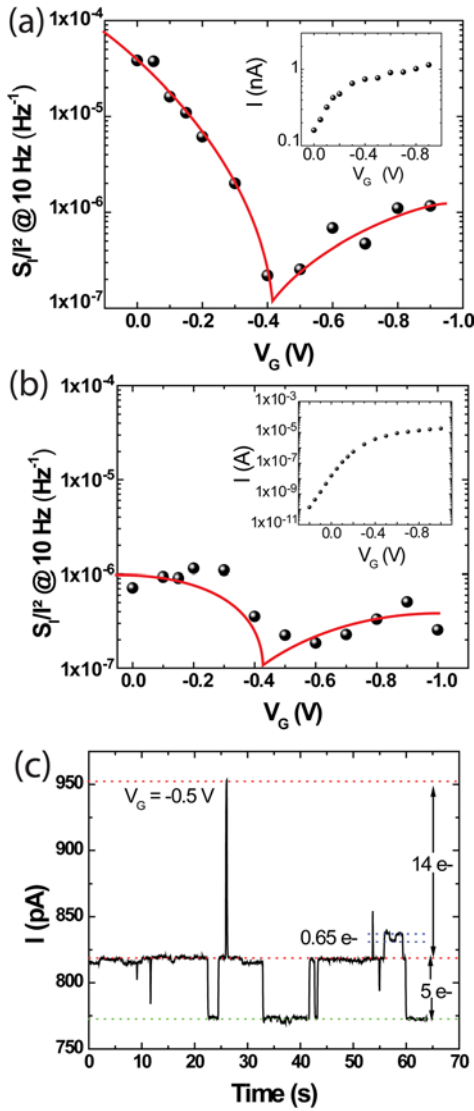


FIG. 3. Normalized power spectrum noise as a function of gate voltage for 1 (a) and 2916 (b) scaled SiNWs. Red lines are guides. Respective  $I$ - $V_G$  curves for both graphs are shown in the inset. (c) Time-dependent drain current at  $V_G = -0.5$  V. Discrete fluctuations of drain current  $\Delta I$  are correlated to an equivalent charge  $q^*$  at the channel/gate-oxide interface using  $q^* = \Delta I C_G / g_m$ . Values  $> 1$  suggest that such discrete fluctuation steps are related to fluctuations at the nano-Schottky contact.

where  $\alpha_H$  is the Hooke's constant,  $\mu$  is the mobility, and  $V_D = 50$  mV is the drain voltage. We obtained  $10^{-5} < \alpha_H < 5 \times 10^{-5}$  for 1 or 2916 scaled NWs at  $1 < \mu < 5$  cm<sup>2</sup>/V s. In high-quality material, such as epitaxial layers,  $\alpha_H$  values range from  $10^{-6}$  to  $10^{-4}$ .<sup>26</sup> Consequently, the mobility degradation observed in these devices was unlikely to be related to low crystal quality (Fig. 1(c)) or poor oxide interfaces. This small Hooke's constant is the smallest ever reported for scaled nanowire transistors. For example  $\alpha_H \sim 4.2 \times 10^{-3}$  was found for a GAA (35 nm gate length) transistor with a III-V NW.<sup>27</sup> For gate lengths below 15 nm, we can not compare our results since there was no report of Hooke's constant at such scaling. In the subthreshold region, we can reasonably consider that mobility fluctuation was the dominant source of noise. More importantly, the observed absence of RTS and low noise amplitude indicated a "volume" conduction. Although such transport in the

heart of the wire has already been suggested for long NWs<sup>15,17</sup> with junctionless architecture or due to quantum confinement effect (our argument based on RTS is only meaningful for scaled devices), it was not ensured that such behavior would have been observed for GAA transistors with  $L_g < 15$  nm. This clearly indicates the potential of such GAA technology for future scaling.

Above the threshold voltage, we expected that carriers would be accumulated at the NW interface under a strong electric field, but also that the contact would play a larger role in charge transport (reduced channel resistance). The contact noise can be measured,<sup>22,28,29</sup> even when the contact resistance is not dominant compared to channel resistance.<sup>22</sup> We confirmed that contact noise was observed in these scaled NWs by carefully analyzing the discrete drain current steps  $\Delta I$  in the time domain (Fig. 3(c)) at  $V_G = -0.5$  V. The equivalent charge fluctuation  $\Delta q$  at the gate oxide interface was estimated by  $\Delta q = (\Delta I / g_m) C_G$ , where  $g_m = (\partial I / \partial V_G)$  is the transconductance.

We identified three different step amplitudes, corresponding to 0.65, 5, and 14 elementary charges  $q$  (Fig. 3(c)). Only values  $\leq q$ , due to image charge effects,<sup>12</sup> could be obtained by trapping/detrapping noise at the channel/oxide interface. Values  $> q$  could be explained by trap-induced tunneling at Schottky contacts.<sup>22</sup> The quantitative extraction of  $N_{ot}$  above the subthreshold regime was not possible with this technique, because noise was dominated by charge fluctuations at the contacts. However, the background noise for a single NW was well below a single charge trapping/detrapping at the oxide interface (Fig. 1(d)), indicating that  $N_{ot}$  was low in the few worst-case traps per wire. Using Eq. (1), we quantitatively estimated the normalized noise above the threshold voltage from the drain voltage dependence,<sup>22</sup> obtaining  $\eta = 0.03$  and  $A = 10^{-6}$  for 1 NW. These values show that these nanoscale contacts are of low noise amplitude since  $A$  (when normalized by contact area) is two orders of magnitude lower than that found for a conventional transistor with p-type segregated Schottky barrier.<sup>22</sup> The finding of  $\eta = 0.03$  indicated that the contact resistance was only 3% of the overall resistance, but still in the tens of k $\Omega$  per contact, several times larger than that found for a carbon nanotube transistor.<sup>30</sup>

Figures 4(a) and 4(b) show the normalized noise at 0 V (subthreshold) and  $-0.8$  V (linear regime) for scaled NWs with  $N$  varying between 1 and 2916. On average,  $S/I^2$  scaled as  $1/N$  in both cases, is in agreement with (1) if we consider that  $A$  scales as the contact surface.<sup>22</sup> However, the dispersion was very large for noise above the threshold voltage and at small  $N$ . This large dispersion arose from the random number of traps at the contacts and the high variability of the impact of each trap on noise amplitude ( $\Delta I$  varied between 0.1 and 14  $q$ ; Fig. 3(d)), due to the exponential dependence of the fluctuation at Schottky contacts<sup>22</sup> or trap-assisted tunneling.<sup>31–33</sup> For the array of  $3 \times 3$  NWs, the random telegraph signal amplitude is as large as 25% of the current level (see Fig. 4(b), inset), in the limit of acceptable noise level for transistor operation in logic circuits.<sup>34</sup> Noise dispersion from wire to wire was expected to follow a log-normal distribution, according to binomial law,  $\Delta \log[(S/I^2)]_N = \Delta \log[(S/I^2)]_1 / N^{1/2}$  (see fits with dashed red lines in Fig. 4). Thus, use of an array of NWs increased the



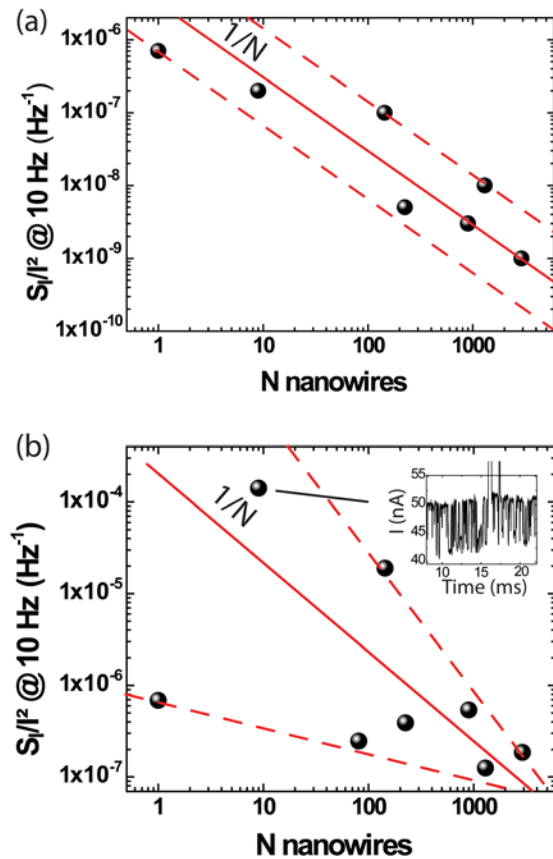


FIG. 4. (a) Plot of normalized noise amplitude. Inset: Drain current fluctuation as a function of time for a  $3 \times 3$  NW array at  $V_G = -0.6$  V.

current level, reduced the variability in contact resistance<sup>35</sup> or threshold voltage,<sup>5</sup> but also reduced relative noise amplitude and dispersion. As a consequence, although contact noise can already be a limiting factor for correct transistor operation at 14 nm gate length when it is composed of few wires (Fig. 4(b), inset), NW parallelization drastically reduces its effect, which ensures reliability for the overall device.

The role of contacts in ultra-scaled devices has already been addressed for nanowires, carbon nanotube,<sup>30</sup> or graphene<sup>36</sup> transistors through series resistance. However, we have shown that the main problem at ultimate scaling may come from contact noise that can induce fluctuations in the same range as the drain current. This observation is surely not limited to our architecture. Interestingly, theoretical equation of low-frequency noise derived for ballistic transistors has also a similar shape as (1), with contact noise dominant contribution at high  $V_G$ .<sup>29</sup> In Ref. 19, fluctuation in the range of 25% of drain current is seen for a carbon nanotube transistor with  $L_g = 9$  nm, but has not been discussed. In addition, since dispersion of this fluctuation from device to device was not addressed, it is probably not the upper limit. The important general result demonstrated here for nanocontacts is that contact induced drain current fluctuation is drastically reduced by parallel operation of scaled nanotransistors. Using Eq. (1), this contact noise would still be sustainable for few nm gate lengths with 40 NWs.

Our results also suggest that the reduced mobility is intrinsic to ultimately scaled devices in general (gate length

$\ll 100$  nm), as was previously reported for transistors with more conventional architectures based on experimental<sup>37</sup> and modeling<sup>38</sup> studies. A recent theoretical study predicts that such limit may not be observed in graphene.<sup>39</sup> To date, theoretical studies on nanowires have mainly focused on mobility estimation for other aspects, such as the NW diameter with infinitely long wires<sup>40</sup> or the impact of the surface roughness.<sup>41</sup> The GAA architecture, thanks to its axial symmetry, is a perfect test-bed for theoretical investigation of scaling on electronic transport mechanism and comparison with experimental data. Understanding the origin of reduced mobility with scaling will soon become a crucial issue for the future of silicon as the dominant material in processors. The architecture presented here could be extended to III-V NWs. These NWs are promising materials for transistor arrays due to their large intrinsic mobility although there is, to date, no report confirming that mobility will not collapse with a scaled configuration. Reports of noise at the single-NW level have indicated that the mobility noise<sup>27</sup> ( $\alpha_H \sim 4.2 \times 10^{-3}$ ) and oxide trap density<sup>42</sup> ( $N_{ot} \sim 2.5 \times 10^{12} \text{ cm}^{-2}$ ) are not optimized yet. Carbon nanotube GAA FETs, due to their ballistic behavior at  $L_g < 50$  nm, could be immunized to mobility decrease at short gate length, but not to contact noise.

Ultimate scaling is not only of interest for processors applications. Scaled Ion-sensitive Field-Effect transistors (ISFETs) have already shown a great potential for electrochemical sensing applications.<sup>43</sup> The array of scaled transistors that show ultra-low noise in the subthreshold region could be operated as very efficient sensors with a nanofluidic liquid gate, instead of Cr gate. Since voltage noise scales also as  $1/N$ , such sensors could reach a voltage noise level of  $3.10^{-5} \text{ V/Hz}^{1/2}$  @ 10 Hz with 2916 NW, which corresponds to an accuracy of 0.05% of a typical Nernstian pH shift in 1 Hz bandwidth.

In conclusion, we presented insights into the electronic transport mechanism of the scaled Gate-all-around SiNW array transistor by using low-frequency noise analysis. Interestingly, quantitative estimation of mobility noise is still valid and the extracted small Hooge's constant is a signature of volume conduction within a high-quality Si crystal. Above the threshold voltage, the large RTS amplitude in single or few NWs could be attributed to charge fluctuations at the contact interface. This contact noise reaches already the limit of correct transistor operation for the noisiest 14-nm-gate length transistors with few NWs but our study indicates that parallelization of gate-all-around transistors is an efficient way to reduce this contact noise. This result is surely not limited to the sole SiNW transistors with GAA architecture. We suggest that dispersion and fluctuation of electrical characteristics should be addressed clearly for all technologies. Our results indicate that whereas transistors with few nm gate lengths should be operational with GAA architecture, technological breakthrough for contacts, theoretical modeling for scaled FETs, and choice of channel material will surely become the roadmap of research on nanodevices in the near future.

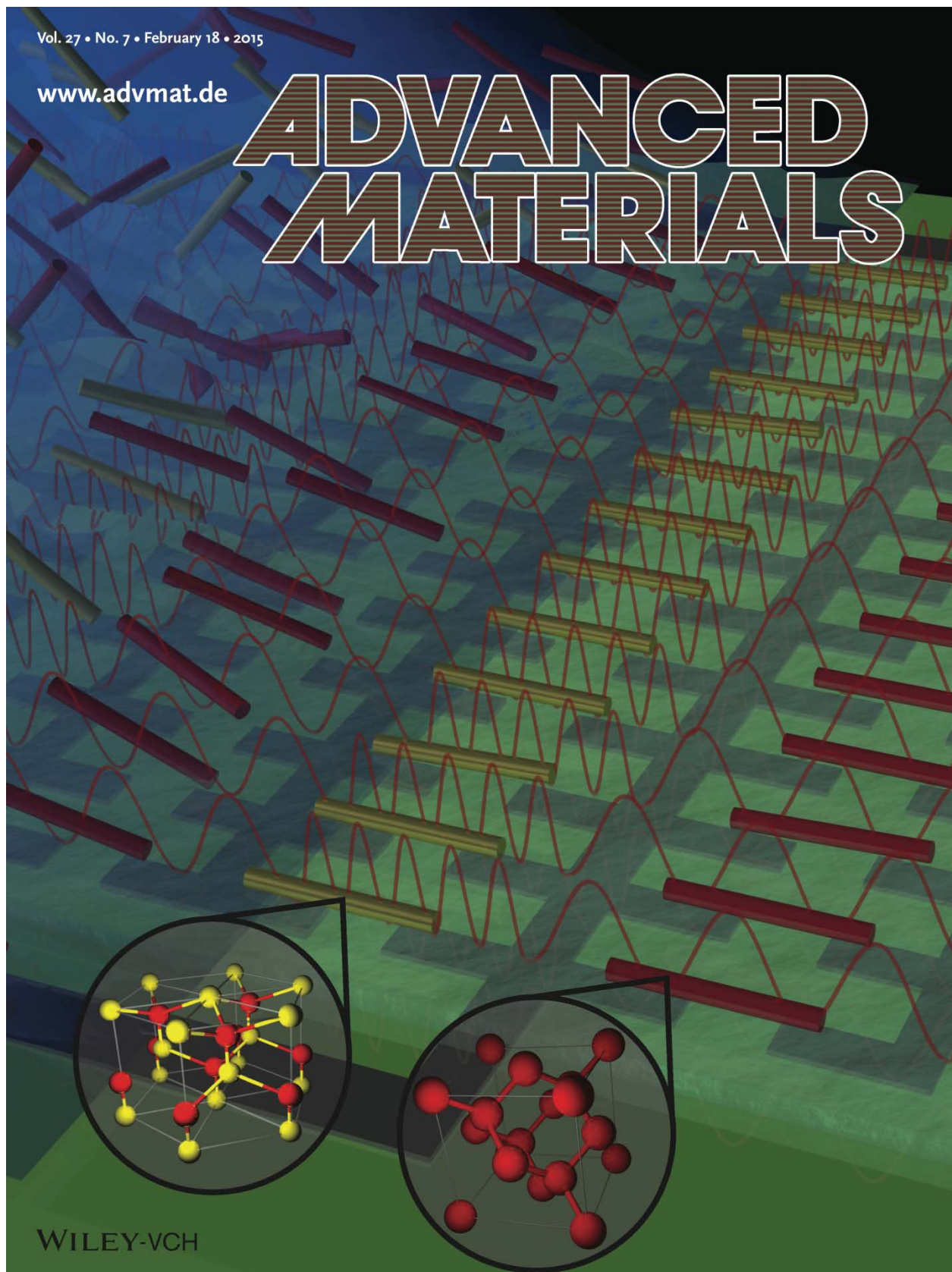
The authors would like to thank F. Alibart for careful reading of the manuscript and precious comments, and Renatech (the French Network of Major Technology Central).

- <sup>1</sup>M. Lundstrom, *Science* **299**, 210 (2003).
- <sup>2</sup>C. Cress and S. Datta, *Science* **341**, 140 (2013).
- <sup>3</sup>J. J. Gu, Y. Q. Liu, Y. Q. Wu, R. Colby, R. G. Gordon, and P. D. Ye, *Tech. Dig. - Int. Electron Devices Meet.* **2011**, 769.
- <sup>4</sup>K. Tomioka, M. Yoshimura, and T. Fukui, *Nature* **488**, 189 (2012).
- <sup>5</sup>G. Larrieu and X.-L. Han, *Nanoscale* **5**, 2437 (2013).
- <sup>6</sup>C. Thelander, L. E. Froberg, C. Rehnstedt, L. Samuelson, and L.-E. Wernersson, *IEEE Electron Device Lett.* **29**, 206 (2008).
- <sup>7</sup>V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, and U. Gösele, *Small* **2**, 85 (2006).
- <sup>8</sup>G. Bidal, D. Fleury, G. Ghibaudo, F. Boeuf, and T. Skotnicki, in *Proceedings of Silicon Nanoelectronics Workshop (SNW)* (IEEE, Kyoto, Japan, 2009), pp. 5–6.
- <sup>9</sup>A. Cros, K. Romanjek, D. Fleury, S. Harrison, R. Cerutti, P. Coronel, B. Dumont, A. Pouydebasque, R. Wacquez, B. Duriez *et al.*, *Tech. Dig. - Int. Electron Devices Meet.* **2006**, 663.
- <sup>10</sup>M. Yang, E. P. Gusev, M. Jeong, O. Gluschenkov, D. C. Boyd, K. K. Chan, P. M. Kozlowski, C. P. D'Emic, R. M. Sicina, P. C. Jamison, and A. I. Chou, *IEEE Electron Device Lett.* **24**, 339 (2003).
- <sup>11</sup>A. Majumdar, S. Bangsaruntip, G. M. Cohen, L. M. Gignac, M. Guillorn, M. M. Frank, J. W. Sleight, and D. A. Antoniadis, *Tech. Dig. - Int. Electron Devices Meet.* **2012**, 179.
- <sup>12</sup>N. Clément, K. Nishiguchi, A. Fujiwara, and D. Vuillaume, *Nature Commun.* **1**, 92 (2010).
- <sup>13</sup>A. A. Balandin, *Nat. Nanotechnol.* **8**, 549 (2013).
- <sup>14</sup>W. Feng, R. Hettiarachchi, Y. Lee, S. Sato, K. Kakushima, M. Sato, K. Fukuda, M. Niwa, K. Yamabe, K. Shiraishi, H. Iwai, and K. Ohmori, *Tech. Dig. - Int. Electron Devices Meet.* **2011**, 630.
- <sup>15</sup>S.-H. Lee, C.-K. Baek, S. Park, D.-W. Kim, D. K. Sohn, J.-S. Lee, D. M. Kim, and Y.-H. Jeong, *IEEE Electron Device Lett.* **33**, 1348 (2012).
- <sup>16</sup>A. N. Nazarov, I. Ferain, N. D. Akhavan, P. Razavi, R. Yu, and J. P. Colinge, *Appl. Phys. Lett.* **98**, 092111 (2011).
- <sup>17</sup>A. N. Nazarov, I. Ferain, N. D. Akhavan, P. Razavi, R. Yu, and J. P. Colinge, *Appl. Phys. Lett.* **99**, 073502 (2011).
- <sup>18</sup>N. Clément, K. Nishiguchi, J.-F. Dufrêche, D. Guérin, A. Fujiwara, and D. Vuillaume, *Appl. Phys. Lett.* **98**, 014104 (2011).
- <sup>19</sup>J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, P. Razavi, B. O'Neill, A. Blake, M. White, A.-M. Kelleher, B. McCarthy, and R. Murphy, *Nat. Nanotechnol.* **5**, 225 (2010).
- <sup>20</sup>M. J. Kirton and M. J. Uren, *Adv. Phys.* **38**, 367 (1989).
- <sup>21</sup>S. Machlup, *J. Appl. Phys.* **25**, 341 (1954).
- <sup>22</sup>N. Clément, G. Larrieu, and E. Dubois, *IEEE Trans. Electron Devices* **59**, 180 (2012).
- <sup>23</sup>G. Ghibaudo, *Solid-State Electron.* **32**, 563 (1989).
- <sup>24</sup>C. Jakobson, I. Bloom, and Y. Nemirovsky, *Solid-State Electron.* **42**, 1807 (1998).
- <sup>25</sup>F. N. Hooge, *Phys. Lett. A* **29**, 139 (1969).
- <sup>26</sup>L. K. J. Vandamme and F. N. Hooge, *IEEE Trans. Electron Devices* **55**, 3070 (2008).
- <sup>27</sup>K.-M. Persson, E. Lind, A. W. Dey, C. Thelander, H. Sjöland, and L.-E. Wernersson, *IEEE Electron Device Lett.* **31**, 428 (2010).
- <sup>28</sup>M. Peransin, P. Vignaud, D. Rigaud, and L. K. J. Vandamme, *IEEE Trans. Electron Devices* **37**, 2250 (1990).
- <sup>29</sup>J. Tersoff, *Nano Lett.* **7**, 194 (2007).
- <sup>30</sup>A. D. Franklin, M. Luisier, S.-J. Han, G. Tulevski, C. M. Breslin, L. Gignac, M. S. Lundstrom, and W. Haensch, *Nano Lett.* **12**, 758 (2012).
- <sup>31</sup>A. Avellan, W. Krautschneider, and S. Schwantes, *Appl. Phys. Lett.* **78**, 2790 (2001).
- <sup>32</sup>F. Martinez, S. Soliveres, C. Leyris, and M. Valenza, in *IEEE ICMTS Proceedings* (IEEE, 2006), p. 193.
- <sup>33</sup>N. Clément, S. Pleutin, O. Seitz, S. Lenfant, and D. Vuillaume, *Phys. Rev. B* **76**, 205407 (2007).
- <sup>34</sup>M.-L. Fan, V. P.-H. Hu, Y.-N. Chen, P. Su, and C.-T. Chuang, "Investigation of single-trap-induced random telegraph noise for tunnel FET Based devices, 8t sram cell, and sense amplifiers," in *Proceedings of the 2013 IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, April 2013.
- <sup>35</sup>X. L. Han, G. Larrieu, E. Dubois, and F. Cristiano, *Surf. Sci.* **606**, 836 (2012).
- <sup>36</sup>Y. Wu, V. Perebeinos, Y.-M. Lin, T. Low, F. Xia, and P. Avouris, *Nano Lett.* **12**, 1417 (2012).
- <sup>37</sup>J. Ramos, E. Augendre, A. Kottantharayil, A. Mercha, E. Simoen, M. Rosmeulen, S. Severi, C. Kerner, T. Chiarella, A. Nackaerts, I. Ferain, T. Hoffmann, M. Jurczak, and S. Biesemans, "Experimental evidence of short-channel electron mobility degradation caused by interface charges located at the gate-edge of triple-gate finFETs," in *Proceedings of the 8th International Conference on Solid-State and Integrated-Circuit Technology*, Shanghai, China, 23–26 October 2006.
- <sup>38</sup>K. Huet, J. Saint-Martin, A. Bournel, S. Galdin-Retailleau, P. Dollfus, G. Ghibaudo, and M. Mouis, in *Proceedings of Solid State Device Research Conference, ESSDERC* (2007), p. 382.
- <sup>39</sup>J. Zheng, L. Wang, Q. Quhe, Q. Liu, H. Li, D. Yu, W. N. Mei, J. Shi, Z. Gao, and J. Lu, *Sci. Rep.* **3**, 1314 (2013).
- <sup>40</sup>Y.-M. Niquet, H. Mera, and C. Delerue, *Appl. Phys. Lett.* **100**, 153119 (2012).
- <sup>41</sup>C. Buran, M. G. Pala, M. Bescond, M. Dubois, and M. Mouis, *IEEE Trans. Electron Devices* **56**, 2186 (2009).
- <sup>42</sup>T. Muramatsu, K. Miura, Y. Shiratori, Z. Yatabe, and S. Kasai, *Jpn. J. Appl. Phys., Part 1* **51**, 06FE18 (2012).
- <sup>43</sup>N. Clément, K. Nishiguchi, J.-F. Dufrêche, D. Guérin, A. Fujiwara, and D. Vuillaume, *Nano Lett.* **13**, 3903 (2013).

Vol. 27 • No. 7 • February 18 • 2015

[www.advmat.de](http://www.advmat.de)

# ADVANCED MATERIALS



WILEY-VCH



# Large-Scale Assembly of Single Nanowires through Capillary-Assisted Dielectrophoresis

Maéva Collet, Sven Salomon, Naiara Yohanna Klein, Florent Seichepine, Christophe Vieu, Liviu Nicu, and Guilhem Larrieu\*

Semiconducting nanowires (NWs) are 3D nanoscale building blocks with promising applications in, for example, field-effect transistors (FETs),<sup>[1,2]</sup> biosensors,<sup>[3,4]</sup> and optoelectronic components.<sup>[5,6]</sup> The fabrication of semiconducting NWs, synthesized by a bottom-up approach, has made impressive progress toward providing high-quality nanostructures made in tunable materials and heterostructures.<sup>[7]</sup> However, postgrowth NW manipulation and positioning through a generic, large-scale alignment method remains a challenge<sup>[8]</sup> in envisioning NW-based devices as credible commercial products. Different techniques, such as Langmuir–Blodgett deposition, dry transfer printing, and capillary force assembly,<sup>[9]</sup> have been proposed. However, these methods cannot easily accomplish single-NW alignment and precise positioning<sup>[10–12]</sup> without a certain degree of fabrication complexity,<sup>[13]</sup> or the use of high-resolution patterning technique (electron-beam lithography)<sup>[14]</sup> that is time-consuming and cost-ineffective, making the process difficult to adapt batch fabrication. Because of its potential to overcome these limitations, dielectrophoretic (DEP) assembly is receiving increasing attention. Smith et al.<sup>[15]</sup> showed that a nonuniform electric field applied between interdigitated electrodes can induce significant polarization of dielectric nanostructures. The resulting DEP force allows the NWs moving in the solution to overcome other forces (e.g., hydrodynamic drag, gravity, electrothermal, intraparticle, and surface-particle adhesive forces)<sup>[16]</sup> and to localize on the electrodes at specific predefined locations. More recent studies<sup>[17–20]</sup> have advanced the DEP technique

by improving both physical understanding<sup>[19,20]</sup> and yield.<sup>[17,18]</sup> However, some key issues remains to be managed in a simple way, in terms of: (i) improving the NW concentration in the DEP-attracting region, and (ii) controlling the hydrodynamic forces exerted on the NWs while the solvent is dried.

One straightforward solution consists of delivering the NW solution directly to the DEP chip, and then applying the appropriate voltage signal before blow-drying with nitrogen. However, this method yields poor results because the NWs can move away from their initial-trapped positions during blow-drying. Increasing the applied voltage can circumvent this drawback by increasing the attraction of NWs to the surface; unfortunately, this process can cause multiple NWs to adhere to same connecting site. Freer et al.<sup>[18]</sup> addressed these drawbacks by coupling DEP with flow-assisted alignment, demonstrating very impressive yield. However, this approach requires a complex fluidic cell coupled with precise control of the flow rate, which is difficult to implement at wafer scale.

In this communication, we report an innovative, affordable approach that combines the dielectrophoresis phenomenon and capillary assembly to align thousands of single NWs at specific locations at large scale. We detail the technique and provide a theoretical framework for assembling and separating multimaterial nanostructures, as well as for fabricating more complex architectures of assembled NWs.

A brief summary of the technique is as follows. NWs entering the DEP force field will be attracted to precise locations between the DEP electrodes and must maintain their positions when the liquid solution is removed. To control the effects linked to this critical step, we coupled DEP with capillary assembly,<sup>[21]</sup> which involves dragging the liquid meniscus of the NW solution on top of the substrate, with a controlled velocity and temperature (Figure 1a). The assembly occurs at the three-phase contact line (Figure 1b); while the liquid is evaporating, convective flow is created inside the solution, which locally increases the NW concentration at the liquid front. After the NW is trapped by the DEP forces, the thin film of liquid around the NW evaporates, and the capillary forces fix the NWs at the surface. Thus, our procedure combines these well-described phenomena with the DEP force to improve the capture efficiency of each DEP site, the alignment of NWs and their precise location (Figure 1c).

Silicon NWs (diameter  $\approx 50$  nm, length  $\approx 4$ – $5$   $\mu\text{m}$ ), grown by the Au-catalyzed vapor–liquid–solid (VLS) technique (see Experimental Section), were suspended in a solution of 80% isopropyl alcohol (IPA) and 20% deionized water to control meniscus formation (see Experimental Section). A 20  $\mu\text{L}$  droplet of solution was injected between the moving substrate and the fixed glass slide. Metallic DEP electrodes were previously structured on a

Dr. M. Collet,<sup>[1]</sup> Dr. S. Salomon,<sup>[1]</sup> N. Y. Klein,  
Dr. F. Seichepine,<sup>[1]</sup> Prof. C. Vieu, Dr. L. Nicu,  
Dr. G. Larrieu  
CNRS, LAAS  
7 avenue du colonel Roche F-31400, Toulouse, France  
E-mail: glarrieu@laas.fr

Dr. M. Collet, Dr. S. Salomon, N. Y. Klein,  
Dr. F. Seichepine, Dr. L. Nicu, Dr. G. Larrieu  
Univ de Toulouse, LAAS  
F-31400, Toulouse, France

N. Y. Klein  
CBPF, Rua Doutor Xavier Sigaud  
150 - Urca, Rio de Janeiro 22290-180, Brazil

Prof. C. Vieu  
Univ de Toulouse, IN SA, LAAS  
F-31400, Toulouse, France

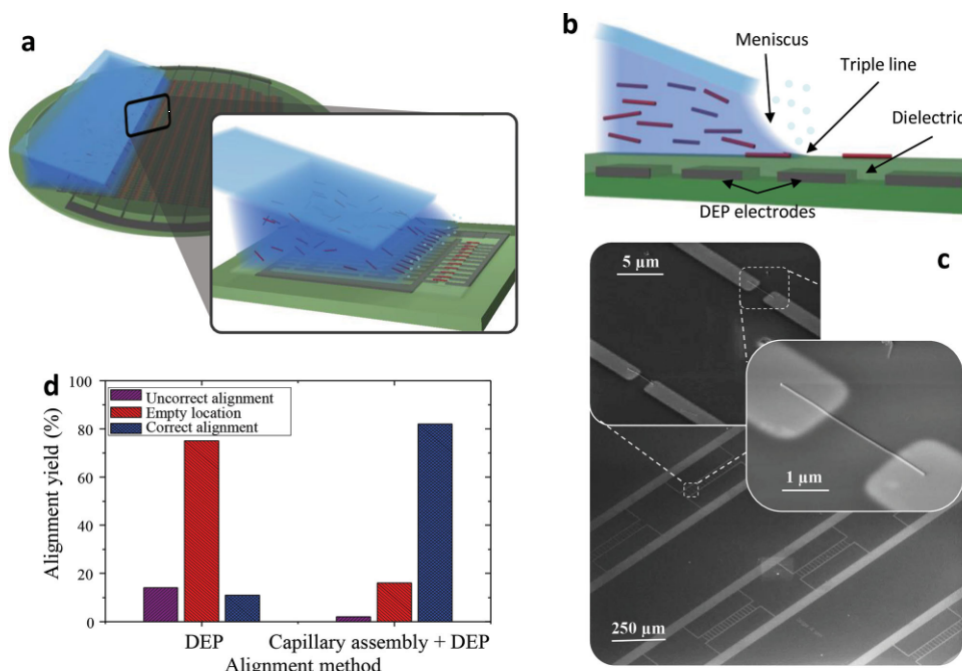
<sup>[1]</sup>Present address: IUT Toulon VAR, Toulon, France

<sup>[1]</sup>Present address: CEA Tech, Toulouse, France

<sup>[1]</sup>Present address: Frey Initiative Research Unit, RIKEN QBIC, Kobe, Japan

DOI: 10.1002/adma.201403039





**Figure 1.** Capillary-assisted dielectrophoresis technique for wafer-scale assembly of single NWs. a) 3D view of the assembly setup at wafer scale that couples capillary assembly with DEP-interdigitated electrodes. b) Schematic cross-sectional view of the liquid meniscus (triple line) at the evaporation front on the buried DEP electrodes. c) Large-scale assembly of single NWs, shown by tilted SEM images at small, medium, and high magnification. d) Comparing the capture yield of DEP alone and coupled with convective assembly.

6 in. Si wafer. They were electrically isolated from the surface by a planarizing dielectric layer that was deposited by spin-on glass (see Experimental Section). In this work, the DEP inter-electrode gaps were maintained constant ( $\approx 0.75$  of the NW length<sup>[24]</sup>) to apply the maximum DEP force to the NWs.

A sinusoidal voltage signal of  $3.2 V_{pp}$  at 50 kHz was applied between the DEP electrodes. The voltage value had to be sufficiently large to initiate assembly, but not so high to avoid any dielectric breakdown. Under these optimized conditions, we localized aligned NWs in 81% of the specific identified spots ( $>500$  sites), as illustrated in Figure 1c and in Figure S1 (Supporting Information). Coupling dielectrophoresis with convective assembly resulted in a fivefold improvement in the capture efficiency of the technique (Figure 1d). This capture yield is good, considering that the  $5 \mu\text{m}$  NWs are relatively short (higher yields have been obtained<sup>[18]</sup> with longer NWs). The capture yield is not limited by the combined assembly approach, but rather by the purity of the NW solution. The DEP electrodes tended to capture small particles instead of NWs (see Figure S2, Supporting Information), indicating that purification<sup>[23]</sup> of the NW solution would lead to an even higher rate of success.

The maximum capture efficiency for undoped silicon nanowires (Si NWs) (Figure 2a) was obtained with a specific DEP frequency of 50 kHz. For a better understanding of the underlying mechanisms, the DEP force exerted on a particle can be approximated by the analytical expression<sup>[24]</sup>

$$\vec{F}_{\text{DEP}} = \Gamma \epsilon_m \text{Re}[K(\omega)] |\nabla E|^2 \quad (1)$$

where  $\Gamma$  is a geometric constant that depends on the shape and volume of the considered nanoparticle,  $\epsilon_m$  is the permittivity of

the medium,  $|\nabla E|^2$  is the gradient of the square modulus of the electric field, and  $K(\omega)$  is the Clausius–Mossotti factor, which is a function of the angular frequency of the applied field  $\omega$  and the respective permittivity and conductivity of the medium ( $\epsilon_m, \sigma_m$ ) and the NWs ( $\epsilon_p, \sigma_p$ ).

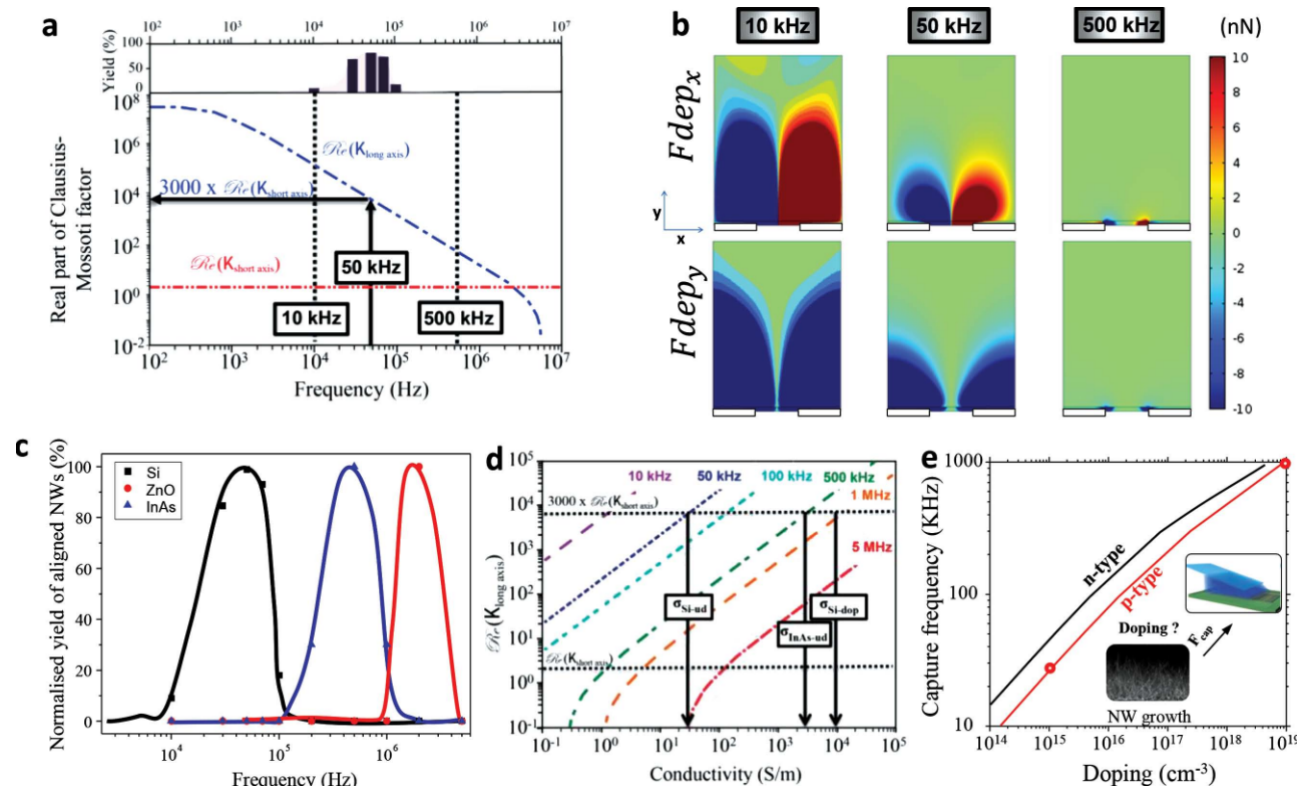
We used short NWs (3–5  $\mu\text{m}$  in length) to focus our study on the scale-up and integration processes, even though the lower DEP force on shorter NWs makes this process more difficult. Unlike an isotropic spherical particle, NWs are considered to be 1D structures because of their high aspect ratio. Consequently, their polarization varies depending on their original orientation with respect to the electric field gradient. Thus, the Clausius–Mossotti factor  $K(\omega)$  can be expressed along the long and short axes of the NWs,<sup>[17]</sup> as in Equations (2) and (3).

$$\text{Re}[K_{\text{long axis}}(\omega)] = \frac{\omega^2 \epsilon_m (\epsilon_p - \epsilon_m) - \sigma_m (\sigma_m - \sigma_p)}{\omega^2 \epsilon_m^2 + \sigma_m^2} \quad (2)$$

$$\text{Re}[K_{\text{short axis}}(\omega)] = 2 \cdot \frac{\omega^2 (\epsilon_p^2 - \epsilon_m^2) + \sigma_p^2 - \sigma_m^2}{\omega^2 (\epsilon_p + \epsilon_m)^2 + (\sigma_p + \sigma_m)^2} \quad (3)$$

Figure 2a shows the variation of these two contributions as a function of the DEP signal frequency. In the case of undoped Si NWs, the optimum frequency of capture ( $F_{\text{cap}}$ ) was obtained at 50 kHz, leading to the following empiric tradeoff between the contributions of the short and long axes:

$$\text{Re}[K_{\text{long axis}}(\omega)] \approx 3000 \text{Re}[K_{\text{short axis}}(\omega)] \quad (4)$$



**Figure 2.** Influence of the NW properties on the optimal frequency of the DEP signal. a) Yield of NW capture and computed real part of the Clausius–Mossotti factor, along the long and short axes of undoped Si NWs, as a function of the DEP frequency. The short axis contribution is found quasi-independent of the frequency. The higher capture efficiency was obtained at 50 kHz, where  $\text{Re}(K_{\text{long axis}}) = 3000 \times \text{Re}(K_{\text{short axis}})$ . b) COMSOL simulations of the resulting DEP force field (parallel,  $F_{\text{dep},x}$  and normal,  $F_{\text{dep},y}$  to the electrodes) for the three specific frequencies. c) Normalized yield of captured NWs as a function of the DEP frequency for several kinds of materials. The NWs used in these studies exhibit comparable dimensions. Static counting has been done by observing every DEP site with an optical microscope in high magnification. d) Computed real part of the Clausius–Mossotti factor along the long axis as a function of the NW conductivity for several DEP frequencies. The intercept of the  $3000 \times \text{Re}(K_{\text{short axis}})$  straight line with the  $\text{Re}(K_{\text{long axis}})$  line gives the NW conductivity with its related capture frequency. Experimental results for Si and InAs NWs are provided as examples. e) Starting from a measured capture frequency, the abacus plot gives the corresponding concentration of n-type or p-type dopants in Si NWs. Experimental points for undoped Si NW and doped p-Si NW are reported.

For better insight into the situation, Figure 2b shows the DEP force parallel and perpendicular to the DEP electrodes in the cases of three characteristic frequencies: the optimum capture frequency ( $F_{\text{cap}} = 50$  kHz), a higher frequency (500 kHz), and a lower frequency (10 kHz) based on multiphysics modeling (see Figure S3, Supporting Information). At low frequency (10 kHz), the magnitude of the DEP force was significant, but its direction was mainly oriented toward the DEP electrodes. A NW subjected to this force cannot be attracted toward the gap unless it is already located above it. At 500 kHz, the magnitude of the DEP force was very weak and insufficient to attract the NWs at the desired location. At 50 kHz, a good balance was found between the orientation and magnitude of the DEP force, resulting in a tendency of the NWs to align in the gap between the electrodes.

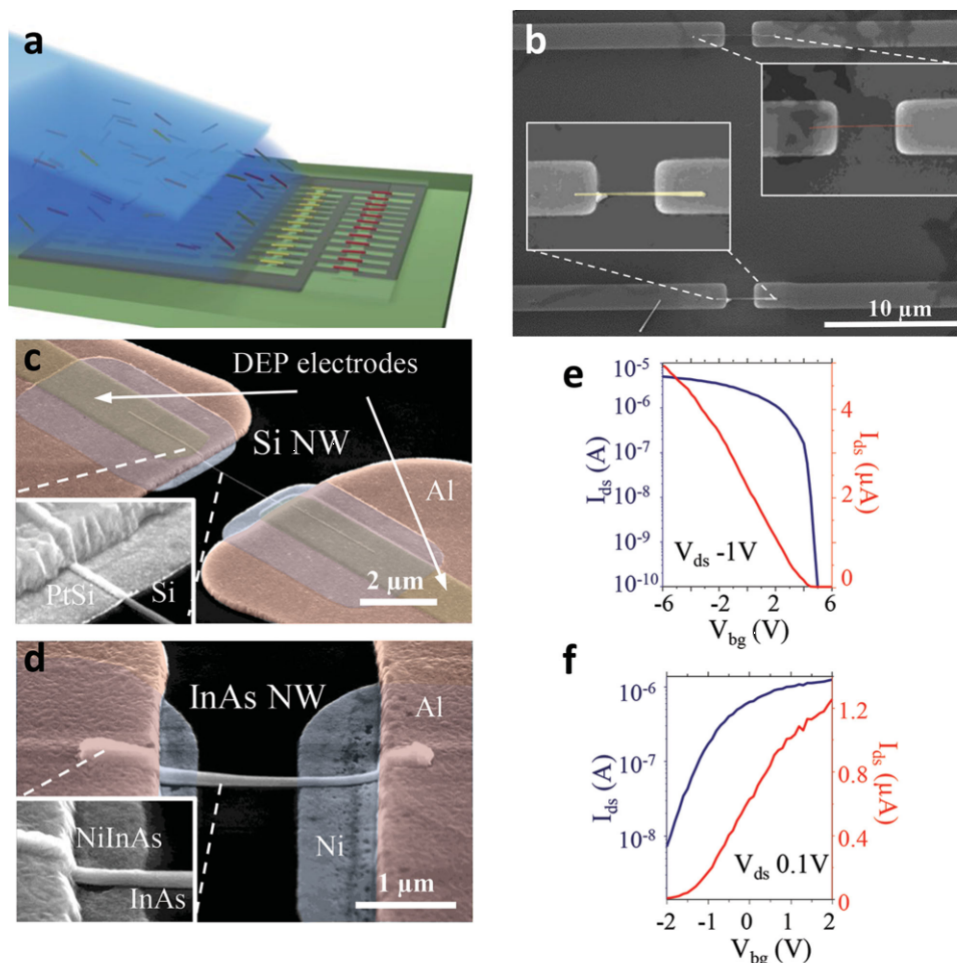
According to Equations (2) and (3),  $F_{\text{cap}}$  is intrinsic to the considered material, and depends on its dielectric permittivity  $\epsilon_p$  and conductivity  $\sigma_p$ . We experimentally demonstrated that InAs or ZnO NWs exhibit an optimum frequency shift compared with Si NWs (Figure 2c), with  $F_{\text{cap}} = 500$  kHz for InAs and  $F_{\text{cap}} = 2$  MHz for ZnO. The impact of the conductivity on  $F_{\text{cap}}$  is evaluated in Figure 2d for two materials (Si and InAs)

with similar dielectric permittivity constants ( $\epsilon_{\text{Si}} = 11.9$  and  $\epsilon_{\text{InAs}} = 12.3$ ).

The relationship between the respective contributions of the short and long axes, proposed in Equation (4), was verified for three different cases: unintentionally doped Si (boron,  $10^{15} \text{ at.cm}^{-3}$ ,  $\sigma_p = 30 \text{ S m}^{-1}$ ), highly doped Si (boron,  $10^{19} \text{ at.cm}^{-3}$ ,  $\sigma_p = 10\,000 \text{ S m}^{-1}$ ), and unintentionally doped InAs ( $3000 \text{ S m}^{-1}$ ). Each type of NW exhibits its own-specific signature that can be used to infer the electrical properties of unknown nanostructures. Indeed, by measuring the optimal frequency using a frequency sweep, we can estimate the NW conductivity and, thus, the NW doping concentration (Figure 2e). This technique can be a powerful tool to evaluate the incorporation of dopants during NW growth, without performing electrical characterizations that require time consuming processes.

Finally, we explored the potential of our approach for fabricating more complex-integrated structures. Firstly, NWs made of different materials can be sorted according to the optimal alignment frequency of the material constituting the NWs. A mixture of InAs and Si NW solutions was assembled into an ordered structure by switching the applied frequency (between



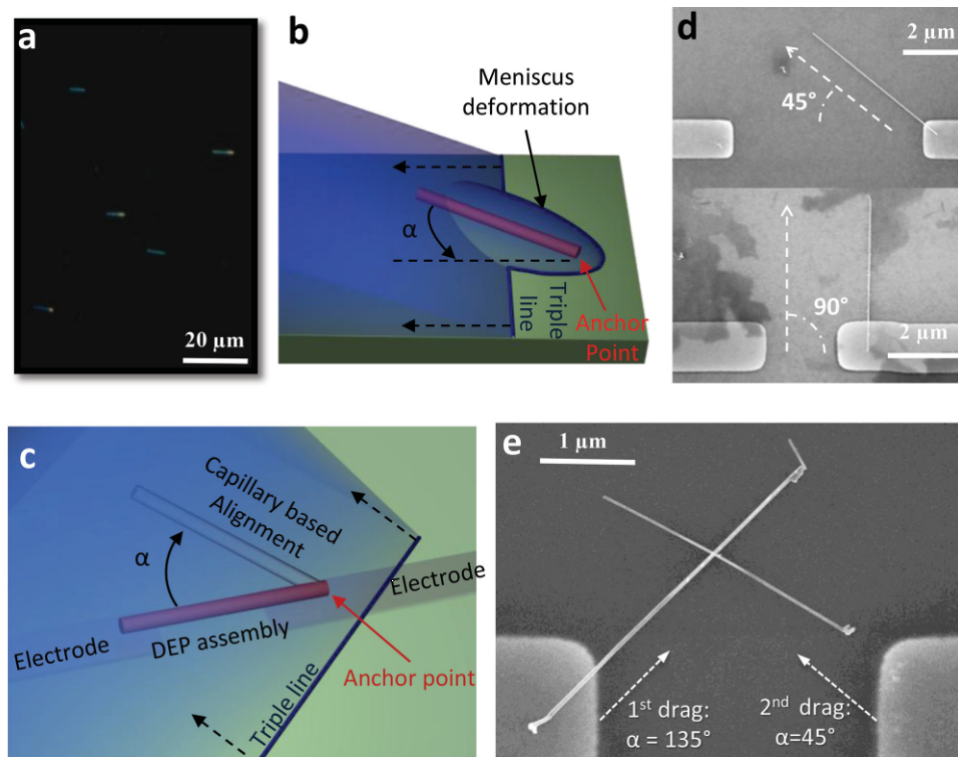


**Figure 3.** NW separation and cointegration into multicomponent materials. a) Schematic view of the process for separating InAs and Si NWs from a mixed solution. The applied frequency was switched from 50 to 500 kHz when the meniscus reached the desired set of DEP electrodes, in order to attract Si NWs (low frequency) and InAs NWs (high frequency). b) SEM view of side-by-side cointegration of InAs and Si materials, where NWs of different types are shown with false colors. The chemical composition of each NW was identified by EDS (see Figure S4, Supporting Information). SEM views of NWFETs made on aligned NWs of c) Si with PtSi S/D contacts and d) InAs with NiInAs S/D contacts.  $I_{ds}$ – $V_{bg}$  characteristics of e) Si p-FET with  $V_{ds} = -2$  V and f) InAs n-FET with  $V_{ds} = 0.1$  V.

50 and 500 kHz) in each column of DEP electrodes, once the meniscus of the NW solution reached the desired set of electrodes (Figure 3a). Using this method, we separated the NW mixture into alternating columns of Si and InAs. Figure 3b shows another configuration to achieve cointegration of two different NW populations aligned side-by-side. The chemical analysis of each NW is shown in Figure S4 (Supporting Information). Si NWs were first assembled at a frequency slightly lower than  $F_{cap}$  (20 kHz) to fill approximately 50% of the DEP sites. Then, InAs NWs were subjected to the same assembly procedure to fill the remaining empty sites selectively. This process of integrating multiple materials can be applied to prepare multiplexed sensors<sup>[29]</sup> (each material being sensitive to a unique species) or complementary transistors based on NWs<sup>[28]</sup> for logic application. To this purpose, the fabrication of active device that integrates the aligned NWs is straightforward because (i) the alignment tools (embedded DEP electrodes) do not impose any constraints on the device process and (ii) the NW localization allows multiple mask alignments. As example,

metallic diffusive contacts can be addressed separately according to the NW nature using conventional UV lithography. Figure 3c,d shows two alloy/NW couples that offer a low Schottky barrier height with Ni-alloyed contacts on InAs NW and Pt-silicided contacts on p-Si NW (fabrication details are given in Figure S5 (Supporting Information)). Back-gated NWFETs show conventional current versus gate voltage characteristics for p-type Si/n-type InAs devices (Figure 3e,f). The extracted carrier mobilities of  $250/1450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  for holes/electrons, respectively, are comparable to ones obtained in previous works,<sup>[27,28]</sup> indicating that the NW alignment method does not affect the electronic characteristics of the final device.

Besides the integration of multiple materials, our combined assembly approach is of interest for preparing more complex structures that include NWs. Capillary assembly of the NWs aligns the nanostructures mainly according to the drag direction (Figure 4a). Once anchored on the substrate, each NW becomes an obstacle to the continuous movement of the meniscus and causes a deformation of the meniscus around the NW, which



**Figure 4.** Assembly of multi-NW structures. a) Optical microscope image of NW aligned preferentially in the drag direction of the capillary assembly. b) Top view schematic representation of a capillary assembly, with a NW held onto the wafer surface at a random angle with respect to the drag direction. c) Top view schematic representation of NW on DEP electrodes, where the drag direction is tilted at an angle with respect to the electrode axis. NWs are first attracted by the DEP force between the electrodes (DEP assembly), and then are aligned along the drag direction by capillary assembly. The anchor point corresponds to the NW extremity that first meets the triple line. d) SEM top view of Si NW assembly fabricated by capillary-assisted DEP, where the drag direction is tilted 45° and 90° relative to the DEP electrodes. e) Crossed Si NWs in two successive assemblies, fabricated with the drag direction at 45° and 135°, respectively.

turns around its anchoring point by a “lever arm” effect and aligns itself perpendicular to the contact line (Figure 4b). The alignment of NWs is obtained via the action of the torque of the lever arm,  $\vec{M} = \vec{F}_{\text{men}} \times L_{\text{NW}} \times \cos \alpha$ , where  $L_{\text{NW}}$  is the NW length,  $\alpha$  is the angle of the NW with the drag direction, and  $\vec{F}_{\text{men}}$  is the meniscus force, estimated in the range of hundreds nN. The Figure S6 (Supporting Information) provides the equations to derive this force, which is equal to the gradient of the potential energy of the meniscus deformation.

The meniscus force can be purposely used in advanced experiments. For example, instead of dragging the glass slide along the axis of the DEP electrodes (as in Figure 1), the meniscus displacement direction can be tilted to an arbitrary angle, resulting in NWs positioned at the desired location but oriented according to the drag direction (Figure 4c,d). Depending on the gap between, number of, and layout of electrodes, numerous designs can be foreseen. As an example, two successive assemblies with angles of 45° and 135°, respectively, were achieved. The structure obtained (Figure 4e) is a cross with a very small area (<10  $\mu\text{m}^2$ ) made by two Si NWs and correctly positioned between the DEP electrodes.

Coupling DEP and capillary assembly is an innovative approach to manipulate and address single NWs at low cost and wafer scale. It can be used for the rapid characterization of NWs incorporated into different materials and/or with various

conductivities. This approach shows promise for fabricating nanostructured assemblies, where different materials must be separated, and for implementing more complex integration schemes based on multiple materials and multiple NW structures. This method is completely generic; the postalignment processing does not depend on the NW assembly because the DEP electrodes are embedded into a flat dielectric layer. Moreover, the assembly procedure can be implemented on various host substrates, even temperature-sensitive flexible substrates or as part of the backend-of-line processing of integrated circuits. It opens new avenues for heterogeneous integration toward producing NW devices for sensing, optics, and electronics at low cost and large scale.

## Experimental Section

**NW Synthesis by Au-Catalyzed VLS Technique:** Si NWs were grown by gold nanoclusters-catalyzed VLS technique. Gold nanoclusters have been obtained after evaporation of a very thin film of gold on silicon ( $\approx 4$  nm) and annealed at 700 °C to produce separated catalyst particles.

For Si NWs, the growth was carried out in a chemical vapor deposition reactor at 500 °C during 10 min under a constant pressure of 10 mbar with injection of  $\text{SiH}_4$  (150 sccm) and  $\text{H}_2$  (12 sccm) as reactant and carrier gases, respectively. The produced NWs exhibit an average length of 3–5  $\mu\text{m}$  and an average diameter of 50 nm. The



B-doping of the Si NWs is achieved by adding  $B_2H_6$  (3 sccm) to the previous gases.

The InAs NWs were grown in MOVPE reactor, using 20 nm gold colloids to nucleate the growth of InP stems on the InP(111)B substrates. The growth temperature was subsequently raised from 420 °C to 440 °C, and the InAs NWs have been optimized using a trimethylindium (TMI) molar fraction of  $2 \times 10^{-6}$  and a AsH<sub>3</sub> molar fraction of  $3.5 \times 10^{-4}$  for 60 min.

**Patterned DEP Electrodes:** The DEP electrodes are fabricated on 6 in. silicon substrate using standard microfabrication techniques. First, a dry thermal oxidation is performed to create an oxide layer of 200 nm to insulate all the DEP electrodes the one from the others. Then, interdigitated electrodes have been patterned by lift-off process using a projection mask aligner (Stepper CANON FPA 3000i4). The DEP electrodes are made of 100 nm Cr thick separated by a 2, 4, and 5  $\mu$ m gap. Adjacent electrodes are spaced by 20  $\mu$ m in order to minimize electric field couplings between neighboring electrodes. Cr is chosen as an adhesive layer on silicon dioxide, resistant to HF etching, and provides a good behavior with respect to temperature.

**A 150 nm Oxide Barrier is then Deposited by Spin-on-Glass on the Wafer:** This isolating layer planarized the topology of the underneath DEP electrodes. As a result, the NWs lie on a flat surface and are not in direct contact with the DEP electrodes, allowing a post processing (device-based NW fabrication) noncorrelated to the assembly patterns.

To reach this purpose, a solution of an inorganic resist Hydrogen Silsesquioxane (HSQ) diluted in isobutyl ketone marketed by Dow Corning under the name Fox-15 was used. The HSQ solution has been diluted in MIBK, and then spin coated on SiO<sub>2</sub>/Si substrates. Then a postbake was performed at 90 °C during 120 s in order to evaporate the solvent. Resist thickness can be tuned by spin coating at different speed rate. Then, a rapid thermal annealing (500 °C, 60 s, under N<sub>2</sub> flux) is used to densify the HSQ and to ensure a better electrical isolation. A protective layer of resist (Negative Lift-Off, NLOF resist) is spin coated. One centimeter large band of resist is then removed all around the wafer with acetone. The wafer is immersed for 20 s in a diluted solution of fluorhydric acid (1%) to etch the HSQ only at the periphery of the wafer, which gives an electrical access to the buried DEP electrodes. The NLOF protective layer is then striped by acetone. The topographical step on top of the gap between two DEP electrodes is less than 8 nm (measured by AFM).

**NWs Assembly:** The NWs were released by sonicating the growth substrate at 130 kHz during 10 min in a 80% IPA/20% deionized water solution in order to control the liquid viscosity and the surface tension. The concentration of the solution used has been estimated to be 3600 NWs per microliter by statistic counting of a determined volume of solution. Placed on the assembly disposal described in the communication, the droplet containing the NWs will undergo various forces leading to a specific receding angle depending on the substrate and solvent affinity, the temperature of the chuck, and the speed of the drag movement. To ensure the convective assembly to be effective, the receding angle has to be around 20°. As the contact angle of deionized water on the substrate is higher than the contact angle of a IPA 80% mixed with deionized water 20% solution ( $55^\circ > 22^\circ$ ), two different mechanisms are expected: using deionized water, capillary assembly is promoted and as a result, NWs deposition only occurs on DEP sites but this decreases the probability to bring a NW in the DEP force capture radius. Using a solution of pure isopropanol is not well suited as the receding angle with respect to the substrate is too low and as a consequence, the convective assembly is enhanced making the NWs concentration too high at the triple line. On the other side, using IPA/H<sub>2</sub>O solution tends to a convective assembly that leads to a higher alignment yield.

Finally, optimal conditions of assembly were obtained at a constant velocity of 30  $\mu$ m s<sup>-1</sup> of the substrate with respect to the fixed glass slide and the temperature of the chuck regulated at 25 °C.

## Acknowledgements

The authors wish to thank Dr. Emmanuel Scheid, Dr. Sébastien Plissard, and Dr. Yannick Coffinier for nanowire growth processing. This work was supported by the French RENATECH network (French national nanofabrication platform). N.Y.K. thanks the Brazilian agency CNPq and S.S. the DGA for their financial supports.

Received: July 8, 2014

Revised: September 18, 2014

Published online: November 20, 2014

- [1] J. Xiang, W. Lu, Y. Hu, Y. Wu, H. Yan, C. M. Lieber, *Nature* **2006**, *441*, 489.
- [2] H. Yan, H. S. Choe, S. W. Nam, Y. Hu, S. Das, J. F. Klemic, J. C. Ellenbogen, C. M. Lieber, *Nature* **2011**, *470*, 240.
- [3] Y. Qui, Q. Wei, H. Park, C. M. Lieber, *Science* **2001**, *293*, 1289.
- [4] K. I. Chen, B. R. Li, Y. T. Chen, *Nano Today* **2011**, *6*, 131.
- [5] C. Soci, A. Zhang, B. Xiang, S. A. Dayeh, D. P. R. Aplin, J. Park, X. Y. Bao, Y. H. Lo, D. Wang, *Nano Lett.* **2007**, *7*, 1003.
- [6] P. Yang, R. Yan, M. Fardy, *Nano Lett.* **2010**, *10*, 1529.
- [7] L. J. Lauhon, M. S. Gudiksen, D. Wang, C. M. Lieber, *Nature* **2002**, *420*, 57.
- [8] N. P. Dasgupta, J. Sun, C. Liu, S. Brittman, S. C. Andrews, J. Lim, H. Gao, R. Yan, P. Yang, *Adv. Mater.* **2014**, *26*, 2137.
- [9] J. K. Lim, B. Y. Lee, M. L. Pedano, A. J. Senesi, J. W. Jang, W. Shim, S. Hong, C. A. Mirkin, *Small* **2010**, *6*, 1736.
- [10] Y. Huang, X. Duan, Y. Qui, L. Lauhon, K. Kim, C. M. Lieber, *Science* **2001**, *291*, 630.
- [11] Z. Fan, J. C. Ho, Z. A. Jacobson, R. Yerushalmi, R. L. Alley, H. Razavi, A. Javey, *Nano Lett.* **2008**, *8*, 20.
- [12] D. Whang, S. Jin, Y. Wu, C. M. Lieber, *Nano Lett.* **2003**, *3*, 1255.
- [13] A. Pevzner, Y. Engel, R. Elnathan, T. Ducobni, M. Ben-Ishai, K. Reddy, N. Shpaisma, A. Tsukernik, M. Oksman, F. Patolsky, *Nano Lett.* **2010**, *10*, 1202.
- [14] J. Yao, H. Yan, C. M. Lieber, *Nat. Nanotechnol.* **2013**, *8*, 329.
- [15] P. A. Smith, C. D. Nordquist, T. N. Jackson, T. S. Mayer, B. R. Martin, J. Mbindyo, T. E. Mallouk, *Appl. Phys. Lett.* **2000**, *77*, 1399.
- [16] K. Khoshmanesh, S. Nahavandi, S. Baratchi, A. Mitchell, K. Kalantar-zadeh, *Biosens. Bioelectron.* **2011**, *26*, 1800.
- [17] S. Raychaudhuri, S. A. Dayeh, D. Wang, E. T. Yu, *Nano Lett.* **2009**, *9*, 2260.
- [18] E. M. Freer, O. Grachev, X. Duan, S. Martin, D. P. Stumbo, *Nat. Nanotechnol.* **2010**, *5*, 525.
- [19] C. H. Lee, D. K. Kim, X. Zheng, *Nano Lett.* **2010**, *10*, 5116.
- [20] M. Li, R. B. Bhiladvala, T. J. Morrow, J. A. Sloss, K.-K. Lew, J. M. Redwing, C. D. Keating, T. S. Mayer, *Nat. Nanotechnol.* **2008**, *3*, 88.
- [21] L. Malaquin, T. Kraus, H. Schmid, E. Delamarche, H. Wolf, *Langmuir* **2007**, *23*, 11513.
- [22] Y. Liu, J.-H. Chung, W. Liu, R. Ruoff, *J. Phys. Chem. B* **2006**, *100*, 14098.
- [23] K. Pradel, K. Sohn, J. Huang, *Angew. Chem. Int. Ed.* **2011**, *50*, 3412.
- [24] T. J. Jnes, *Electromechanics of Particles* Cambridge University Press, New York **1995**.
- [25] G. Zheng, F. Patolsky, Y. Qui, W. Wang, C. M. Lieber, *Nat. Biotechnol.* **2005**, *23*, 1294.
- [26] S. W. Nam, X. Jang, Q. Xiong, D. Ham, C. M. Lieber, *Proc. Natl. Acad. Sci. USA* **2009**, *106*, 21035.
- [27] S. A. Dayeh, D. Aplin, X. Zhou, P. Yu, T. Yu, D. Wang, *Small* **2007**, *3*, 326.
- [28] Y. Qui, Z. Zhong, D. Wang, W. Wang, C. M. Lieber, *Nano Lett.* **2003**, *3*, 149.

### 3 PERSPECTIVES

---

L'évolution de mon activité de recherche se poursuit. Après ma mobilité géographique (de l'IEMN à Villeneuve d'Ascq au LAAS à Toulouse) et thématique (architecture transistor à source/drain métalliques vers des dispositifs transistors 3D à nanofils verticaux) opérées en 2010, je poursuis l'évolution de mon activité de recherche sous deux axes principaux :

- la poursuite de l'activité transistor 3D à nanofil pour adresser le nœud technologique 3nm (prévu horizon 2023) notamment sur des approches faiblement énergivores.
- le démarrage et le développement d'une activité dispositifs à nanofils pour des applications de détection bio/chimiques.

#### 3.1 TRANSISTORS 3D A NANOFILS : APPROCHES FAIBLEMENT ENERGIVORES POUR LE 3NM

---

Les problématiques liées à l'énergie (gestion, modération de consommation) font parties des préoccupations cruciales pour les prochaines décennies. Dans ce contexte, le développement des futures générations de dispositifs de technologie de l'information ne peuvent s'affranchir de cette problématique, où une efficacité énergétique drastique prendra une importance primordiale. Dans ce cadre, la poursuite de l'activité transistor 3D à nanofil prend tout son sens pour adresser le nœud technologique 3nm en développant une architecture à base de réseaux de nanofils verticaux pour des applications nanoélectroniques. En particulier, des technologies vertes modérément énergivores seront visées en intégrant, dans une filière compatible CMOS, des nanofils de semi-conducteurs III-V pour à la fois réduire la consommation du dispositif tout en améliorant ses performances.

En effet, une autre préoccupation pour les transistors ultimes est de conserver une grande mobilité des porteurs dans le canal afin de ne pas dégrader le courant débité par le transistor à l'état passant. L'évolution des transistors en silicium présente une dégradation de la mobilité des porteurs d'un nœud technologique à la génération suivante en raison des effets parasites inhérents à la miniaturisation (effets canaux courts). Le problème a été circonscrit temporairement grâce à la mise en œuvre de contrainte dans le canal, maintenant la mobilité à un niveau acceptable. Mais pour des miniaturisations extrêmes, cette approche ne sera pas suffisante, et de nombreux laboratoires internationaux, industriels (Intel, IBM, IMEC, Leti) ou académiques (universités de Purdue, Texas, Singapour ...) envisagent l'utilisation de matériaux III-V



dans le canal du MOSFET, pour éventuellement remplacer le silicium pour les nœuds technologiques sub-10nm. Ces matériaux III-V sont particulièrement intéressants pour la nanoélectronique en raison de leurs propriétés de transport (grande mobilité à faible champ et grande vitesse de saturation), en particulier pour des applications base consommation.

Jusqu'à présent, les méthodes de croissance de nanofils III-V en réseaux sans catalyseur d'or ont été rapportées en utilisant une épitaxie sélective de surface<sup>85,86</sup>. Ces approches bottom-up sont intéressantes car elles peuvent produire NFs avec une haute qualité de cristal à base de matériaux à fort désaccord de maille par rapport à Si (InAs, InSb ...) et peuvent être utilisées pour fabriquer des hétérojonctions axiales. Néanmoins, l'état de l'art des réseaux de NFs verticaux III-V sur Si est encore très éloigné des exigences drastiques pour l'intégration dans des nœuds technologiques avancés, en particulier en termes de diamètre de NFs, de densité ou de rendement et reproductibilité. En outre, les démonstrations existantes sur plateforme silicium sont basées sur des substrats d'orientation (111), condition nécessaire pour obtenir la croissance des NFs dans la direction verticale. Cependant, cette orientation n'est pas le standard en technologie CMOS, introduisant des problèmes de compatibilité d'intégration. D'un point de vue de dispositifs, le groupe de Fukui<sup>87</sup> a démontré des transistors à canal long réalisés sur des NFs verticaux en III-V qui améliorent considérablement le courant passant tout en conservant un excellent contrôle électrostatique du canal. Néanmoins, cette structure, non symétrique, empêche sa miniaturisation. Enfin, des chercheurs de l'université de Lund ont également abordé des dispositifs FET verticaux à III-V NW avec notamment les premières caractérisations radiofréquence <sup>88</sup>. Encore une fois, l'architecture proposée sera difficilement miniaturisable à cause d'une grande topologie des couches formant le transistor vertical (> 60 nm)<sup>89</sup>, problème aussi présent dans l'approche du groupe de Fukui.

Ainsi mon activité se concentrera sur le développement d'une solution d'architecture adaptée pour les générations de composants logiques extrêmement miniaturisés (nœud technologique 3nm) en adressant particulièrement les applications faible consommation. L'objectif ambitieux sera de démontrer des architectures de nanotransistors verticaux intégrant de réseaux de nanofils en semi-conducteurs III-V. Cette architecture bénéficiera des différents leviers, tant technologique, énergétique, d'intégration ou de performance, tel que représentés dans la figure ci-dessous.

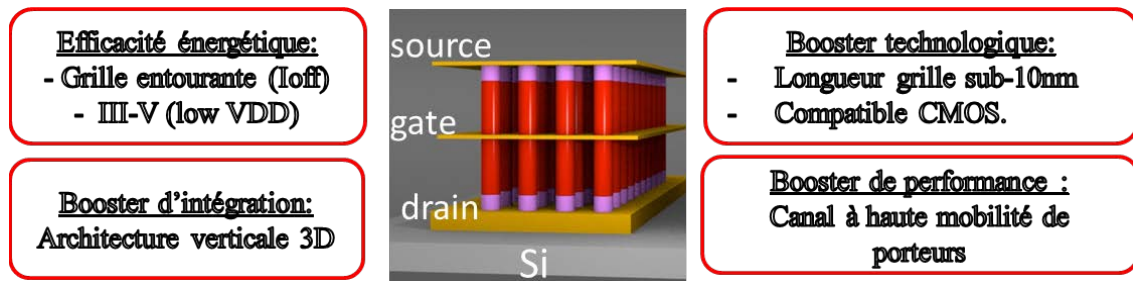


Fig. 49: Illustration schématique d'un transistor 3D à NFs III-V, qui résume les lignes directrices pour la technologie sous- 5nm

L'activité couvrira un spectre de recherche assez large en adressant des problématiques d'ingénierie des matériaux jusqu'à l'élaboration de dispositifs proprement dite, tout en tentant de résoudre les verrous de cette technologie que constituent ses principales briques de base.

- Concernant les aspects matériaux et interfaces, le travail proposé permettra d'améliorer tout particulièrement le contrôle des réseaux ultra-denses de nanofils des composés III-V à haute mobilité de diamètre nanométriques directement intégrés sur silicium. Deux approches de structuration des nanofils seront suivies en parallèles :

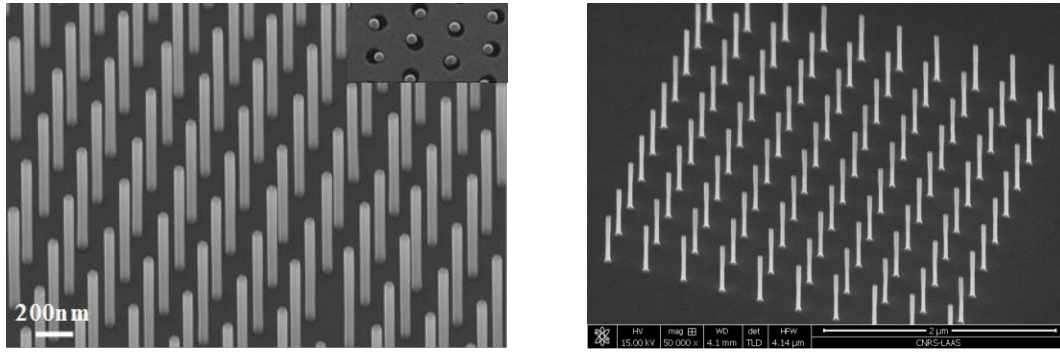
- une approche de structuration de NFs par voie descendante (« top-down »), s'inspirant des travaux précédents réalisés sur silicium<sup>90</sup> (voir bilan des activités). Il inclura la réalisation de nanofils de haute qualité structurales par une structuration inédite pour des NFs III-V, associée à un traitement de surface pertinent permettant de réduire les défauts de surface. La structuration se fera sur une couche III-V épitaxiée sur un substrat Si (100) afin d'atteindre des densités de NFs très élevées, des diamètres très petits, un excellent contrôle de la localisation des nanostructures, tout ceci sur une plateforme silicium de direction cristalline (100). Ces couches épitaxiées seront fournies par le Laboratoire des Technologies de la Microélectronique, LTM (Thierry Baron, DR2 CNRS) à Grenoble réalisées par leur nouvel équipement de MOCVD 300 mm dédiée à cette thématique III-V sur Si. La collaboration est déjà bien établie avec des résultats préliminaires, illustrés Fig. 50a. Un dépôt de projet porté par le LTM avec le LAAS et le CEA-LETI a été soumis à l'ANR (défi 7) sur cette activité transistors à NFs III-V.

- une approche de structuration de NFs par voie ascendante (« bottom-up »), afin de réaliser des réseaux de NFs III-V sur plateforme Si. Elle s'appuiera grandement sur Sébastien Plissard, Chercheur CR2 CNRS qui a rejoint l'équipe il y a deux ans, dont le

projet de recherche est le développement de NFs III-V par MBE sur plateforme Si pour ces applications nanoélectroniques. Cette approche est complémentaire avec l'approche T-D car elle permet d'investiguer un large choix de matériaux, notamment à petits gaps, (InAs, InSb) dont le désaccord de maille cristalline avec le Si ne permet pas une intégration de couche 2D de bonne qualité. De plus, l'approche B-U permet de réaliser des hétérojonctions de dopants ou de matériaux. Ici, mon rôle se focalisera sur la structuration T-D du silicium afin (i) de localiser sélectivement la croissance des fils en réseaux et (ii) d'assurer la compatibilité de cette étape avec le procédé de transistor 3D à NFs (localisation, compatibilité CMOS...). Nous avons entrepris des premiers travaux (**Fig. 50b**) lors de notre présence conjointe à l'IEMN<sup>91</sup> sur cette thématique, qui seront tout naturellement poursuivis.

- Les performances des dispositifs MOSFET à base de matériaux III-V sont limitées par deux verrous spécifiques que sont la qualité de l'interface entre l'oxyde à forte permittivité et le semi-conducteur (états d'interface) ainsi que les résistances d'accès des contacts source/drain. Des procédés technologiques innovants (alliage métalliques de contacts, prétraitement de surface avant dépôt du diélectrique) seront développés et caractérisés afin de surmonter ces deux points cruciaux.

- En s'appuyant sur les réalisations antérieures (transistors 3D sur NFs de Si<sup>92</sup>) ainsi que sur les progrès envisagés au niveau de la qualité des matériaux/interfaces à atteindre, j'envisage de développer une solution viable de transistors nanométriques ultimes à effet de champs (i.e.  $L_g \sim \text{sub-10 nm}$ ) en technologie compatible CMOS (intégrant des contacts S/D alliés faiblement résistifs ainsi qu'un diélectrique high-k avec une faible densité de défaut), avec des performances visées de l'ordre de  $I_{on} > 1 \text{ mA/mm}$ ,  $I_{on}/I_{off} > 1E5$  et des tensions d'alimentation ( $V_{DD}$ ) sous 0.6V. Les démonstrateurs finaux viseront notamment une réduction de tension de fonctionnement ainsi que de consommation d'énergie.

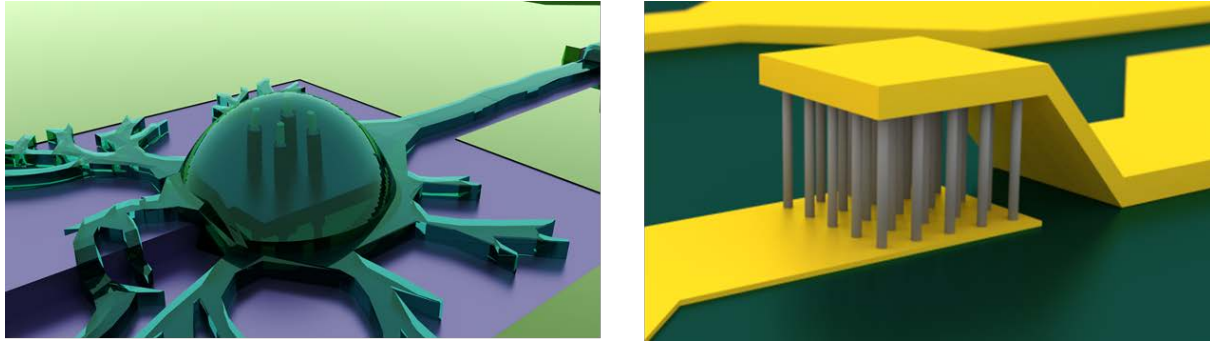


**Fig. 50:** Image MEB d'un réseau de NFs GaAs sur Si a) obtenu par croissance par épitaxie à jet moléculaire sans catalyseur d'or b) obtenu par gravure localisée d'une couche GaAs 2D sur Si(100).

Cette activité s'inscrit dans un des trois axes transverses structurant le LAAS, synergie, qui fédère les activités autour de la gestion d'énergie du laboratoire.

### 3.2 DEVELOPPEMENT D'UNE ACTIVITE DISPOSITIFS A NANOFILS POUR DES APPLICATIONS DE DETECTION BIO/CHIMIQUES

Le deuxième volet de mon projet de recherche pour les 5 prochaines années concernent le développement d'une activité centrée sur une thématique nano-bio-électronique intitulée *dispositifs à nanofils pour la biodétection*. Cette évolution thématique permettra un nouvel ancrage de ma recherche au niveau du laboratoire, en s'inscrivant dans l'axe transverse ALIVE, ainsi qu'une mobilité thématique vers un nouveau domaine applicatif après 15 ans de recherche en nanoélectronique. Je garderai la même philosophie de recherche suivie dans mes activités en nanoélectronique, c'est-à-dire en partant d'un projet d'architecture pertinente pour une application visée puis en travaillant sur la fabrication des nanostructures ainsi que leur intégration afin de réaliser le dispositif le plus proche possible du projet d'architecture idéale. Je me servirai de mes compétences en nanotechnologie tant en fabrication, qu'en intégration ainsi qu'en caractérisation physique et électrique et je travaillerais en collaboration avec des partenaires impliqués dans des activités de détection bio/chimique ou de biologie en tant que telle. Deux projets seront développés : (i) le développement de dispositifs à NFs pour l'interfaçage intra-neuronale, **Fig. 51a** et (ii) le développement de dispositifs à NFs verticaux pour la détection de gaz, **Fig. 51b**.



*Fig. 51: Illustration schématique des dispositifs à nanofils a) pour l'adressage intraneuronal et b) pour la détection de gaz.*

### 3.2.1 INTERFACE NANOFIL/NEURONE POUR LA MESURE INTRACELLULAIRE DE L'ACTIVITE DE NEURONES INDIVIDUELLES.

Les dépenses de santé devraient rapidement augmenter dans un proche avenir en raison du vieillissement des populations à travers le monde. Dans ce contexte, des techniques et outils efficaces à faibles coûts sont un enjeu crucial pour les applications biomédicales, en particulier pour des pathologies complexes et chroniques telles que les maladies neurodégénératives (Alzheimer, Parkinson...). Pour ce type de pathologie en particulier, mais plus généralement en neurosciences, l'enregistrement intracellulaire de l'activité neuronale représente un défi important. Les méthodes actuelles, basées sur l'utilisation de sondes en tension ou fluorescentes, permettent de suivre optiquement les signaux neuronaux, mais restent limitées par des problématiques relatives à la phototoxicité ou au photo-blanchiment. De plus, leur utilisation peut interférer avec la physiologie cellulaire. En outre, la nature invasive des techniques basées sur l'électrophysiologie et leur résolution relativement faible ne permet pas l'analyse au niveau unicellulaire. Ainsi, il existe un besoin crucial pour des approches alternatives visant à interfacer en temps réel de l'activité des neurones prédéfinis. Des données récentes ont suggéré que le contrôle spatio-temporel du signal de sortie peut contribuer au traitement de l'information du neurone <sup>93</sup>. Il a été postulé que le temps de propagation d'un potentiel d'action peut fournir aux neurones un moyen d'ajuster leurs réponses adaptatives, par exemple en déclenchant la potentialisation synaptique, un processus fondamental sous-jacent de la cognition, qui est affectée en premier lieu au cours du vieillissement et de la neurodégénérescence. Ainsi, trouver de nouvelles méthodes pour suivre spatialement les effets de molécules sur l'activité neuronale,

notamment la propagation des potentiels d'action sur plus de deux sites (incluant stimulation et enregistrement) est un domaine de recherche à très fort potentiel <sup>94</sup>.

Grâce à la miniaturisation impressionnante de la brique de base de la microélectronique, le transistor, la convergence entre les recherches en nanoélectronique et en biologie s'est accélérée, lorsque les dispositifs de base sont devenus aussi petits que les espèces biologiques à étudier. En particulier, les dispositifs à nanofils offrent une valeur ajoutée unique dans l'interfaçage de dispositifs nanoélectroniques avec des cellules vivantes parce que leurs sections transversales réduites les rendent moins intrusives, tandis que leur surface active élevée permet une forte interaction cellule/nanofil. Une nouvelle classe de nano-dispositifs est donc attendue qui permettrait de récolter les informations directement à l'intérieur des neurones eux-mêmes, afin de comprendre, avec la meilleure résolution, l'impact de multiples (médicaments, polluants, agents infectieux) sur l'activité neuronale.

Si les enregistrements de cellules uniques peuvent être obtenus par des techniques à base de micropipettes (patch-clamp), des enregistrements de plusieurs cellules simultanément se sont révélés être très difficiles à réaliser. Pour s'attaquer à ce problème, l'interfaçage électrique extracellulaire de neurones a été mis en œuvre avec des électrodes métalliques planes sur des substrats isolants ou des dispositifs semi-conducteurs, tels que des transistors et des condensateurs. Dans les deux cas, l'activité d'une cellule nerveuse – c'est-à-dire son potentiel d'action - est stimulée et / ou enregistrée par l'interface entre ces cellules individuelles avec des microdispositifs électriques qui génèrent et / ou détectent des variations du champ électrique local. L'un des pionniers dans le suivi de l'activité neuronale électrique est P. Fromherz, qui a utilisé des MOSFET planaires de grandes dimensions pour évaluer la jonction silicium-neurone <sup>95</sup>. Puis, le groupe de Charles Lieber a utilisé des transistors à base de NFs horizontaux pour détecter des signaux neuronaux. Néanmoins dans tous ces cas, la surface de communication entre la cellule et le dispositif est extracellulaire et limitée à une petite zone, même avec une configuration horizontale de NFs, le contact cellule / NF étant limité à la partie supérieure de la nanostructure<sup>96</sup>. Plus récemment, ce même groupe a démontré la possibilité de sonder le milieu intracellulaire (cytosol) en utilisant une biosonde composée d'un NF de silicium courbé monté sur un support flexible<sup>97</sup>. Enfin, il a été démontré qu'il est possible d'adresser des corps neuronaux (somas) à l'aide nanofils verticaux par des interactions intra-neurales<sup>98</sup>. Il s'agit certainement d'une étape importante, mais elle reste limitée dans son utilisation parce que (i) elle est



appliquée uniquement sur un soma, et (ii) elle utilise des neurones non localisées et (iii) elle ne permet pas de suivre la propagation des PA le long des axones.

L'ambition de cette nouvelle activité est d'aller au-delà de l'état de l'art actuel dans l'exploration intracellulaire en utilisant des nanodispositifs innovants tout en accédant à l'adressage individuel de cellules neuronales à la fois pour la stimulation et l'enregistrement de l'activité électrique.

Pour le succès de ce projet, plusieurs volets seront adressés:

- a) Être en mesure de générer des réseaux neuronaux stables et de manière viable sur surface structurée. Il s'agira notamment de fonctionnaliser efficacement des surfaces à l'échelle microscopique, afin de faire croître les neurones tout en s'interconnectant les uns aux autres, mais également d'être capable de localiser le corps des neurones et leurs axones sur les sites de réseau de nanofils verticaux.
- b) Le développement d'une plate-forme nanodispositifs pour mesurer l'activité neuronale au moyen de dispositifs NFs et de déclencher l'activité neuronale par électro-stimulation.
- c) Démontrer la pertinence de cette nouvelle plate-forme intraneuronale (comprenant une comparaison avec des outils classiques) sur des études de pertinence biologique, notamment lors de l'impact de protéine dérivé de virus sur l'activité neuronale.

Pour développer cette thématique, je m'appuierai sur les compétences en bio-interfaçage de L. Nicu, DR CNRS au LAAS (même thème de recherche : MNBT), spécialiste des bioMEMS, ainsi que sur une collaboration avec D. Dunia, DR CNRS, du Centre de Physiopathologie de Toulouse-Purpan (Inserm), spécialiste en neurovirologie. Au travers d'un projet Initiative d'Excellence transversalité du l'IdEx de l'université de Toulouse obtenu en 2014, nous avons eu un premier financement (50k€) afin de commencer le rapprochement et créer une synergie entre nos deux sujets de recherche d'apparence assez éloignés (nanotechnologies et neurovirologie). Depuis, un Projet émergent pluridisciplinaire CNRS ainsi qu'un projet région biomédicale complète le soutien financier. Enfin, la soumission d'un projet ANR a été faite afin de pérenniser notre collaboration. Une thèse de doctorat est en cours sur cette thématique (Adrien Casanova).



---

### 3.2.2 CAPTEURS DE GAZ 3D A NANOFILS.

---

L'un des principaux contributeurs au réchauffement climatique est l'augmentation des émissions de gaz à effet de serre (GES). En effet, une partie des rayonnements solaires rentrant dans l'atmosphère sont réfléchis vers l'espace. Hors, les GES piègent ce rayonnement de chaleur provoquant un réchauffement supplémentaire des basses couches de l'atmosphère. Une partie des GES sont naturellement présents dans l'atmosphère mais une partie non négligeable provient de l'activité humaine. Au-delà de l'impact sur le réchauffement climatique, certains de ces gaz peuvent poser de réels problèmes de santé publique. Par exemple, le dioxyde d'azote, un des polluants atmosphériques les plus importants, est un gaz toxique brun rougeâtre, provenant principalement des moteurs à combustion et des centrales thermiques. Le NO<sub>2</sub> réagit avec la muqueuse interne de poumons, et est à l'origine de la forte augmentation des maladies respiratoires. Divers organismes internationaux, telle que l'agence de protection environnementale américaine, recommandent des niveaux d'exposition sur des longues périodes au-dessous du niveau de détection olfactive (300 ppb). La plupart des capteurs de gaz commerciaux, qui utilisent des couches d'oxyde métallique comme couches sensibles, possèdent des sensibilités de détection dans la gamme de la ppm. De plus, pour être efficace, ces couches fonctionnent à des températures élevées, ce qui augmente considérablement la consommation énergétique du dispositif. Des nanostructures unidimensionnelles, comme des nanofils<sup>99</sup> ou des nanotubes<sup>100</sup>, offrent un grand potentiel pour l'émergence de nouvelles générations de capteurs extrêmement sensibles de par les propriétés intrinsèques des nanofils (état de surface, conductivité, rapport surface/volume) tout en fonctionnant à température ambiante (basse consommation). Cependant, très peu de démonstrations ont atteint des sensibilités sub-50 ppb. Deux capteurs à nanofils présentent une sensibilité au NO<sub>2</sub> à 20 ppb avec des nanofils de In<sub>2</sub>O<sub>3</sub><sup>101</sup> et de silicium<sup>102</sup>, mais les dispositifs restent très perfectibles tant dans leur fonctionnement (réversibilité) que dans leur fabrication (variabilité et complexité des procédés).

L'objectif principal de cette étude est de réaliser une nouvelle génération de microsystème de détection ultra-sensible et sélectif. Ces capteurs seront réalisés par un procédé robuste, compatible CMOS. Il existe de nombreuses démonstrations de capteurs à NFs dans la littérature, où dans la majorité des cas, dans une configuration planaire (horizontale) en mode dit « resistor », qui consiste à mesurer la variation d'impédance (résistance électrique) du NF provoquée induite par lors d'une variation de

l'environnement gazeux. Les NFs sont généralement soit structurés par « top-down » générant des structures se rapprochant plus d'une ailette que d'un NF soit par approche bottom-up où les NFs sont reportés puis contactés électriquement, permettant d'établir des preuves de concept plutôt que des dispositifs reproductibles pour des études fines de fonctionnement. D'un point de vue performance, si on prend encore comme exemple la détection du NO<sub>2</sub>, différents matériaux ont été intégrés, comme des oxydes métalliques SnO<sub>2</sub><sup>103</sup>, CuO<sup>104</sup>, ou semiconducteur Si<sup>105</sup>, InAs<sup>106</sup>. Pour InAs, le seuil de détection est de l'ordre de 0.2 ppm mais il s'agit d'une rare démonstration faite sur des NFs intégrés verticalement. C'est dans cette direction que nous travaillons, afin d'avoir une large surface du NF accessible, pouvant réagir avec le gaz environnant. De plus, en adaptant l'approche « top-down » pour structurer les NFs pour les transistors 3D (photolithographie optique) cela permet de réaliser des réseaux de NFs avec un contrôle parfait de leur nombre, leur espacement et leur position.

L'étude s'articulera sur plusieurs niveaux de réalisation : tout d'abord à l'échelle du nanofil, comprendre et maîtriser le comportement électrique (contact-semiconducteur; conductivité du matériau en fonction de l'ambiance). Les notions de sensibilité et de sélectivité seront traitées à l'échelle du nanofil. Pour cela, des modélisations et caractérisations seront menées sur des nanofils de divers matériaux.

Le deuxième niveau consistera à fabriquer un capteur comportant plusieurs nanofils verticaux. La notion d'intégration des nanofils en parallèle (comme démontré pour les transistors 3D) permettra d'obtenir des réponses globales sur lesquelles nous déterminerons des performances moyennes de détection (sensibilité, sélectivité temps de réponse).

Enfin, une évolution pourrait rapidement intégrer une association de différents nanofils (multi matériaux), et/ou des nanofils fonctionnalisés/enrobés pour tenter de réaliser un multicapteur plus sensible et plus sélectif capable de reconnaître des traces d'un gaz cible dans un mélange complexe.

Ce travail comprendra également la caractérisation des capteurs sous ambiance contrôlée ce qui nécessite une station de test spécifique mise au point par P. Menini, Pr. à l'université Paul Sabatier, Toulouse 3, de l'équipe MICA du LAAS avec qui une thèse en codirection est en cours sur ce sujet (Brieux Durand).

## 4 ANNEXES

---

### 4.1 CURRICULUM VITAE

---

#### Larrieu Guilhem

Né le 3 mai 1977, à Mont de Marsan (France). Nationalité: Française

#### Educations et diplômes

Avr. 2004: **Doctorat en Microélectronique**, Université de Lille, Lille, France

Thèse: *“Elaboration et caractérisation de transistors MOS Schottky en régime nanométrie”*, Université of Lille.

**Prix de thèse IEMN 2004.**

Juin 2000: **Master de recherche (D.E.A.)**, en **microélectronique and nanotechnologie**, Université de Lille, France.

Juin 2000: **Ingénieur en physique et sciences des matériaux**, Polytech’lille, Lille, France.

#### Parcours professionnels

Sept 2010 - : **Chercheur CNRS (CR1) au LAAS, Toulouse, France**

Nov. 2005 - Aout 2010: **Chercheur CNRS (CR2) à l’IEMN, Lille, France.**

Jan. – Oct. 2005: **Chercheur post-doctoral** à l’Université du Texas Arlington (UTA),TX,  
USA

*NanoFab, Arlington, dans le groupe du Prof Meng Tao.*

#### Activité d’enseignement

Depuis 2011, j’effectue un cours de nanoélectronique (6h) en MASTER 2 (MNT) à l’université Paul Sabatier de Toulouse.

De 2000 à 2010, j’ai effectué chaque année environ 85 heures équivalent TD d’enseignement en deuxième année de classe préparatoire ISEN (Lille) et en première année de cycle ingénieur ISEN (Lille).

## 4.2 LISTE BIBLIOGRAPHIQUE

---

Une synthèse des principaux indicateurs bibliométriques est présentée dans le tableau ci-dessous, suivi des listes chronologiques : des articles publiés dans les revues internationales de lectures (RICL), des conférences sur invitation, des séminaires sur invitations, des conférences internationales à comité de lecture (CICL) et des brevets.

	Depuis le début de carrière	Depuis 5 ans
<b>Article (RICL)</b>	47	20
<b>Conférence sur invitation</b>	21	12
<b>Séminaire sur invitation</b>	5	5
<b>Conférence (CICL)</b>	55	23
<b>Brevets et extensions</b>	11	11
<b>Nombre de citations</b>	1045	765

Principaux indicateurs bibliométriques tirés des bases de données Google Scholar (<http://scholar.google.com>) et ISI Web of Knowledge (<http://www.webofknowledge.com>) calculés au 31/10/2015.

### Articles dans une revue internationale avec comité de lecture - Papiers réguliers

- R1. Y. Guerfi, J.-B. Doucet, G. Larrieu, "Thin-dielectric-layer engineering for 3D nanostructure integration using an innovative planarization approach", *Nanotechnology*, 26 (2015) 425302.
- R2. M. Collet, S. Salomon, N. Klein, F. Seichepine, C. Vieu, L. Nicu, G. Larrieu, "Large-scale assembly of single nanowires through capillary-assisted dielectrophoresis" *Advanced Materials* 27-7 (2015) 1268-1273. (couverture du journal)
- R3. N. Clement, X.L. Han, G. Larrieu, "Electronic transport mechanisms in scaled gate-all-around silicon nanowire transistor arrays", *Appl. Phys. Lett.*, 103, 26 (2013) 263504-9
- R4. X.L. Han, G. Larrieu, C. Krzeminski, "Controlling oxidation via stress for the patterning of silicon nanostructures: an experimental and theoretical study", *Nanotechnology*, 24, 49 (2013) 495301.
- R5. Y. Guerfi, F. Carcenac, G. Larrieu, "High resolution HSQ nanopillar arrays with low energy electron beam lithography", *Microelectronic Engineering*, 110, (2013), 173-176.
- R6. G. Larrieu, X.L. Han, "Vertical nanowire array-based field effect transistors for ultimate scaling", *Nanoscale*, 5, (2013) 2437-2441.
- R7. C. Krzeminski, X.L. Han, G. Larrieu, "Understanding of the retarded oxidation effects in silicon nanostructures", *Appl. Phys. Lett.*, 100, 26 (2012) 263111-1-4.
- R8. N. Clement, G. Larrieu, E. Dubois, "Low-frequency noise in Schottky-barrier-based nanoscale field-effect transistors", *IEEE Trans. Electron Devices*, 59, 1 (2012) 180-187.
- R9. F. Seichepine, S. Salomon, M. Collet, S. Guillon, L. Nicu, G. Larrieu, E. Flahaut, C. Vieu, "A

combination of capillary and dielectrophoresis-driven assembly methods for wafer scale integration of carbon nanotubes-based nanocarpets", *Nanotechnology*, 23, 9 (2012) 095303

- R10. X.L. Han, G. Larrieu, E. Dubois, F. Cristiano, "Carrier injection at silicide/silicon interfaces in nanowire based-nanocontacts", *Surf. Sci.*, 606, 9-10 (2012) 836-839.
- R11. N. Reckinger, X.H. Tang, E. Dubois, G. Larrieu, D. Flandre, J.P. Raskin, A. Afzalian, "Low temperature tunneling current enhancement in silicide/Si Schottky contacts with nanoscale barrier width", *Appl. Phys. Lett.* 98, 11 (2011) 112102-1-3.
- R12. X.L. Han, G. Larrieu, P.F. Fazzini, E. Dubois "Realization of ultra-dense arrays of vertical silicon NWs with defect free surface and perfect anisotropy using a top-down approach" *Microelectron. Eng.*, 88, 8 (2011) 2622-2624.
- R13. G. Larrieu, E. Dubois, "CMOS inverter based on Schottky source-drain MOS technology with low temperature dopant segregation", *IEEE Electron Device Lett.*, 32, 6 (2011) 728-730.
- R14. S. Plissard, G. Larrieu, X. Wallart, P. Caroff "High yield of self-catalyzed GaAs nanowire arrays grown on silicon via gallium droplet positioning", *Nanotechnology*, 22 (2011) 275602.
- R15. A Laszcz, J. Ratajczak, A. Czerwinski, J Katcki, N Breil, G Larrieu, E Dubois, "TEM studies of PtSi low Schottky-barrier contacts for source/drain in MOS transistors " *Cent. Eur. Journ. of Phys.*, 9, 2 (2011) 423-427.
- R16. G. Larrieu, E. Dubois, D. Ducatteau, "CMOS integration using low thermal budget dopant-segregated metallic S/D junctions on thin-body SOI", *ECS Trans.*, 41, 7 (2011) 275-282.
- R17. X.L. Han, G. Larrieu, E. Dubois, "Realization of vertical silicon nanowire networks with an ultra-high density by top-down approach", *Journal of Nanoscience and Nanotechnology*, 10, (2010),7423-7427.
- R18. S. Plissard , K.A Dick, G. Larrieu, S. Godey, A. Addad, X. Wallart, P. Caroff "Gold-free growth of GaAs nanowires on silicon: arrays and polytypism", *Nanotechnology*, 21 (2010) 385602.
- R19. A Laszcz, J. Ratajczak, A. Czerwinski, J Katcki, V. Srot, F. Philipp, P.A. Van Aken, D. Yarekha, N. Reckinger, G. Larrieu, E. Dubois "Characterization of ytterbium silicide formed in ultra-high vacuum", *J. Phys. : Conf. Ser.*, 209, 1 (2010) 012056-1-4.
- R20. V. Passi, A. Lecestre, C. Krzeminski, G. Larrieu, E. Dubois, J.P. Raskin, "A single layer hydrogen silsesquioxane (HSQ) based lift-off process for germanium and platinum", *Microelectron. Eng.*, 87, 10 (2010) 1872-1878.
- R21. X.H. Tang, N. Reckinger, V. Bayot, D. Flandre, E. Dubois, D. Yarekha, G. Larrieu, A. Lecestre, J. Ratajczak, N. Breil, PASSI V., J.P. Raskin, "An electrical evaluation method for the silicidation of silicon nanowires", *Appl. Phys. Lett.*, 95, 2 (2009) 023106-1-3 (published july 13, 2009), doi: 10.1063/1.3171929
- R22. G. Larrieu, D. Yarekha, E. Dubois, N. Breil, O Faynot, "Arsenic-segregated rare earth silicide junctions : reduction of Schottky barrier and integration in metallic n-MOSFETs on SOI", *IEEE Electron Device Lett.*, 30, 12 (2009) 1266-1268 (published december 2009) doi: 10.1109/LED.2009.2033085
- R23. R. Valentin, E. Dubois, G. Larrieu, J.P. Raskin, G. Dambrine, N. Breil, F. Danneville "Optimization of RF performance of metallic source/drain SOI MOSFETs using dopant segregation at the Schottky interface", *IEEE Electron Device Lett.*, 30, 11 (2009) 1197-1199 (available online october 23, 2009 ; published november 2009), doi: 10.1109/LED.2009.2031254
- R24. N. Reckinger, X.H. Tang H., V. Bayot, D. Yarekha A., E. Dubois, S. Godey, X. Wallart, G. Larrieu, A. Laszcz, J. Ratajczak, JACQUES P.J., J.P. Raskin "Schottky barrier lowering with the formation of crystalline Er silicide on n-Si upon thermal annealing", *Appl. Phys. Lett.*, 94, 19 (2009) 191913-1-3 (published may 15, 2009) doi: 10.1063/1.3136849
- R25. E. Pascual, M. Martin, R. Rengel, G. Larrieu, E. Dubois, "Enhanced carrier injection in Schottky contacts using dopant segregation: a Monte Carlo research", *Semicond. Sci. Technol.* **24** No 2

(February 2009) 025022 doi: 10.1088/0268-1242/24/2/025022

- R26. X.H. Tang, N. Reckinger, G. Larrieu, E. Dubois, D. Flandre, J.P. Raskin, NYSTEN B., JONAS A.M., V. Bayot, Characterization of ultrathin SOI film and application to short channel MOSFETs Nanotechnology, **19**, 16 (2008) 165703-1-7 (available online march 20, 2008 ; published april 23, 2008) doi: [10.1088/0957-4484/19/16/165703](https://doi.org/10.1088/0957-4484/19/16/165703)
- R27. G. Larrieu, E. Dubois, D. Yarekha, N. Breil, N. Reckinger, X.H. Tang, J. Ratajczak, A. Laszcz "Impact of channel doping on Schottky barrier height and investigation on p-SB MOSFETs performance", Mater. Sci. Eng. B, Solid-State Mater. Adv. technol., **154-155** (2008) 159-162 (available online november 7, 2008 ; published december 5, 2008) doi: [10.1016/j.mseb.2008.10.014](https://doi.org/10.1016/j.mseb.2008.10.014)
- R28. N. Breil, E. Dubois, A. Halimaoui, A. Pouydebasque, G. Larrieu, A. Laszcz, J. Ratajczak, T. Skotnicki, "Integration of PtSi in p-type MOSFETs using a sacrificial low-temperature germanidation process", IEEE Electron Device Lett., **29**, 2 (2008) 152-154 (published february 2008), doi: [10.1109/LED.2007.914090](https://doi.org/10.1109/LED.2007.914090)
- R29. N. Reckinger, X.H. Tang, V. Bayot, D. Yarekha A., E. Dubois, S. Godey, X. Wallart, G. Larrieu, A. Laszcz, J. Ratajczak, JACQUES P.J., J.P. Raskin, "Low Schottky barrier height for ErSi<sub>2-x</sub>/n-Si contacts formed with a Ti cap", J. Appl. Phys., **104**, 10 (2008) 103523-1-9 (published november 19, 2008), doi: [10.1063/1.3010305](https://doi.org/10.1063/1.3010305)
- R30. R. Valentin, E. Dubois, J.P. Raskin, G. Larrieu, G. Dambrine, T.C. Lim, N. Breil, F. Danneville "RF small signal analysis of Schottky-barrier p-MOSFETs", IEEE Trans. Electron Devices, **55**, 5 (2008) 1192-1202 (published may 2008) doi: [10.1109/TED.2008.919382](https://doi.org/10.1109/TED.2008.919382)
- R31. A Laszcz, J. Ratajczak, A. Czerwinski, J. Katcki, V. Srot, F. Philipp, P.A. Van Aken, N. Breil, G. Larrieu, E. Dubois, "Transmission electron microscopy study of the platinum germanide formation process in the Ge/Pt/SiO<sub>2</sub>/Si structure", Mater. Sci. Eng. B, Solid-State Mater. Adv. technol., **154-155** (2008) 175-178 (available online november 7, 2008 ; published december 5, 2008), doi: [10.1016/j.mseb.2008.10.002](https://doi.org/10.1016/j.mseb.2008.10.002)
- R32. G. Larrieu, E. Dubois, X. Wallart, J. Katcki, "Kinetics, stoichiometry, morphology and current drive capabilities of Ir-based silicides", J. Appl. Phys., **102**, 9 (2007) 094504-1-7, doi: [10.1063/1.2802564](https://doi.org/10.1063/1.2802564)
- R33. N. Breil, A. Halimaoui, T. Skotnicki, E. Dubois, G. Larrieu, A. Laszcz, J. Ratajczak, G. Rolland, A. Pouydebasque "Selective etching of Pt with respect to PtSi using a sacrificial low temperature germanidation process", Appl. Phys. Lett., **91**, 23 (2007) 232112-1-3, doi: [10.1063/1.2821143](https://doi.org/10.1063/1.2821143)
- R34. C. Krzeminski, G. Larrieu, J. Penaud, LAMPIN E., E. Dubois, "Silicon dry oxidation kinetics at low temperature in the nanometric range: modeling and experiment", J. Appl. Phys., **101**, 6 (2007) 064908-1-8, doi: [10.1063/1.2711764](https://doi.org/10.1063/1.2711764)
- R35. F. Fruleux, J. Penaud, E. Dubois, CORONEL P., G. Larrieu, T. Skotnicki, "Spacer-first damascene-gate FinFET architecture featuring stringer-free integration", IEEE Electron Device Lett., **28**, 6 (2007) 523-526, doi: [10.1109/LED.2007.897443](https://doi.org/10.1109/LED.2007.897443)
- R36. F.S. Aguirre-Tostado, D. Layton, A. Herrera-Gomez, R.M. Wallace, J. Zhu, G. Larrieu, E. Maldonado, W.P. Kirk, M. Tao, "X-ray photoelectron spectroscopy study of the oxidation of Se passivated Si(001)", J. Appl. Phys., **102**, 8 (2007) 084901-1-7, doi: [10.1063/1.2794858](https://doi.org/10.1063/1.2794858)
- R37. G. Larrieu, E. Dubois, "Integration of PtSi-based Schottky-barrier p-MOSFETs with a midgap tungsten gate", IEEE Trans. Electron Devices, **52**, 12 (2005) 2720-2726, doi: [10.1109/TED.2005.859703](https://doi.org/10.1109/TED.2005.859703)
- R38. G. Larrieu, E. Dubois, X. Wallart, J. Katcki "Iridium silicide: a promising electrode for metallic source/drain in decananometer MOSFETs" Trans. Electrochem. Soc. **3**, 2 (2006) 123, doi: [10.1149/1.2356271](https://doi.org/10.1149/1.2356271)
- R39. A. Laszcz, A. Czerwinski, J. Ratajczak, J. Katcki, N. Breil, G. Larrieu, E. Dubois "TEM study of iridium silicide contact layers for low Schottky barrier MOSFETs", Arch. Metall. Mater., **51**, 4 (2006) 551-554
- R40. A. Laszcz, J. Katcki, J. Ratajczak, A. Czerwinski, N. Breil, G. Larrieu, E. Dubois, "TEM study of PtSi



contacts layers for low Schottky barrier MOSFETs", Nucl. instrum. methods phys. res., Sect. B Beam interact. mater. atoms, **253**, 1-2 (2006) 274-277, [doi: 10.1016/j.nimb.2006.10.033](https://doi.org/10.1016/j.nimb.2006.10.033)

- R41. G. Larrieu, E. Dubois, "Reactive ion etching of a 20 nanometers tungsten gate using a SF<sub>6</sub>/N<sub>2</sub> chemistry and hydrogen silsesquioxane hard mask resist", J. Vac. Sci. Technol, B, Microelectron. process. phenom, **23**, 5 (2005) 2046-2050, [doi: 10.1116/1.2050654](https://doi.org/10.1116/1.2050654)
- R42. E. Dubois, G. Larrieu, "Measurement of low Schottky barrier heights applied to metallic source/drain MOSFETs", J. Appl. Phys., **96**, 1 (2004) 729-737, [doi: 10.1063/1.1756215](https://doi.org/10.1063/1.1756215)
- R43. G. Larrieu, E. Dubois, "Schottky-barrier source/drain MOSFETs on ultra-thin silicon-on-insulator body with a tungsten metallic midgap gate", IEEE Electron Device Lett., **25**, 12 (2004) 801-803, [doi: 10.1109/LED.2004.838053](https://doi.org/10.1109/LED.2004.838053)
- R44. J. Katcki, J.Ratajczak, G. Larrieu, E. Dubois, X. Wallart "Transmission electron microscopy of iridium silicide contacts for advanced MOSFET structures with Schottky source and drain", J. Alloys Comp., **382**, 1-2 (2004) 24-28, [doi: 10.1016/j.jallcom.2004.03.145](https://doi.org/10.1016/j.jallcom.2004.03.145)
- R45. G. Larrieu, E. Dubois, X. Wallart, X. Baie, J. Katcki, "Formation of Pt-based silicide contacts : kinetics, stoichiometry and current drive capabilities", J. Appl. Phys., **94**, 12 (2003) 7801-7810
- R46. X.H. Tang, J. Katcki, E. Dubois, N. Reckinger., J. Ratajczak, G. Larrieu, P.Loumaye, O. Nisole, V. Bayot, "Very low Schottky barrier to n-type silicon with PtEr-stack silicide", Solid-State Electron., **47**, 11 (2003) 2105-2111
- R47. E. Dubois, G. Larrieu, "Low Schottky barrier source/drain for advanced MOS architecture : device design and material consideration", Solid-State Electron., **46**, 7 (2002) 997-1004

## **Conférences invitées**

- CI1. G. Larrieu, "Gate-All-Around 3D Transistor on Nanowires for Ultimate Nanoelectronics", 6th International Conference "Micro&Nano 2015", Athens, (Greece), 4-7 Oct. 2015.
- CI2. G. Larrieu, " 3D Nanowire-based transistor architectures for ultimate scaling", French Symposium on Emerging Technologies for micro-nanofabrication, 18-20 november 2015, Lyon (France).
- CI3. N. Clement, K. Nishiguchi, A. Fujiwara , G. Larrieu, "Ultra-low noise nanoscale transistor for metrology of noise, energy harvesting and biosensing applications" 2015 International Conference on Noise and Fluctuations (ICNF 2015), Xi Ha, China, 2-5 June 2015.
- CI4. G. Larrieu, "Transistors 3D à nanofils pour la nanoélectronique", GDR Nanofils 2014, oral invité, du 29 octobre au 31 octobre 2014, Toulouse (France), Octobre 2014
- CI5. G. Larrieu, "Nanowire transistors: a credible option for sub-7nm devices?", International Conference on Small Science (ICSS 2013) 15 - 18 Dec. 2013, Las Vegas, NV, USA
- CI6. C. M. Sotomayor Torres, J. Ahopelto, M. Graef, A. Cappy, G. Larrieu, T. Swahn, G.Wendin, D. Winkler, P. Grabiec, G. Fagas, R. Popp and W. Rosenstiel, ULtimate Integration on Silicon ULIS2013, Warwick, (UK) 9-21 March 2013.
- CI7. G. Larrieu, "MOS implemented on vertical nanowire for nanoelectronic application", FinFET-like: device and circuit Workshop, Bordeaux (France), 25 Jan. 2013
- CI8. G. Larrieu, "Fabrication of semiconductor nanowire arrays for nanoelectronic applications", E-MRS Fall Meeting, Warsaw (Poland), 17-21 Sept. 2012
- CI9. G. Larrieu, "Vertical nanowire array for nanoelectronics", International Conference on Nanosciences & Nanotechnologies (NN12), Thessaloniki (Greece), 3-6 Jul. 2012.

- CI10. G. Larrieu, "Technology & design for nanoelectronics: the case of nanowire transistor", Tutorial of European Solid-State Device Research Conference (ESSDERC 2012), Bordeaux (France), 17-21 Sept. 2012
- CI11. G. Larrieu, M. Graef, "Technology and design for devices with charge as state variable", NANO-TEC Workshop 2012, Barcelona (Spain), 5-7 Nov. 2012.
- CI12. P.F.Fazzini, E. Saracco, G. Larrieu, N. Cherkashin, S. Reboh, J.F. Damlencourt, M. Hytch, A. Claverie, F. Cristiano, "Strain measurement at the nanoscale by Transmission Electron Microscopy", E-MRS Fall 2010, Varsovie, Poland, September 2010.
- CI13. E. Dubois, G. Larrieu, N. Breil, R. Valentin, F. Danneville, D. Yarekha, G. Dambrine, A. Halimaoui, A. Pouydebasque, T. Skotnicki, « Recent advances in metallic source/drain MOSFETs », Proceedings of the 8th International Workshop on Junction Technology, IWJT'08, Shanghai, China, may 15-16, 2008, 139-144, ISBN 978-1-4244-1737-7, [doi: 10.1109/IWJT.2008.4540035](https://doi.org/10.1109/IWJT.2008.4540035)
- CI14. E. Dubois, G. Larrieu, N. Breil, M. Ostling, P.E. Hellstrom, N. Reckinger, X.H. Tang, S. Mantl "Metallic Source/Drain architecture : status and prospects", SINANO-ESSDERC Workshop, Munich, Germany, september 14, 2007
- CI15. E. Dubois, G. Larrieu "40 nm PtSi-based Schottky-barrier p-MOSFETs with a midgap tungsten gate", 7th Symposium Diagnostics & Yield Advanced Silicon Devices and Technologies for ULSI Era, Warsaw, Poland, june 26-28, 2006
- CI16. E. Dubois, G. Larrieu, "Integration and performance of Schottky junction SOI devices", 6th International Workshop on Junction Technology, IWJT-2006, Shanghai, China, may 15-16, 2006, 153-159 [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?arnumber=1669469](http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1669469)
- CI17. J. Knock, E. Dubois, G. Larrieu, X.H. Tang, N. Reckinger, V. Bayot "Recent advances in metallic source-drain engineering", SINANO Workshop, Grenoble, France, september 16, 2005
- CI18. E. Dubois, G. Larrieu, N. Breil, X.H. Tang, N. Reckinger, V. Bayot, J. Knock "Schottky-barrier source-drain architecture for ultimate CMOS", SINANO Workshop, Grenoble, France, january 27-28, 2005
- CI19. E. Dubois, G. Larrieu, « Intégration de source/drain Schottky en technologie MOS décananométrique », Journée Club EEA : Electronique des Dispositifs Ultimes et Innovants, Fuveau, France, 25 mars, 2004
- CI20. E. Dubois, C. Krzeminski, G. Larrieu, X. Baie, X.H. Tang, N. Reckinger, V. Bayot, E. Robillard, B. Froment, J. Katcki, "Integration of Schottky source/drain in advanced MOS technology : the SODAMOS project", 13th Melari/NID Workshop, Athens, Greece, february 7, 2004

### Séminaires invités:

- SI1. G. Larrieu, "Dispositifs 3D à nanofils: de la nanoélectronique à la bio-détection", Institut D'Electronique Fondamentale (IEF) Orsay (France), 24 nov. 2015
- SI2. G. Larrieu, "3D nanowire devices: from nanoelectronics to biosensing", Institute of Nanoscience and Nanotechnology (INN) NCSR "Demokritos", Athens (Greece), 8 oct. 2015.
- SI3. G. Larrieu, " De l'assemblage grande échelle de nanofils aux dispositifs 3D pour les applications en nanoélectronique", Institut de Nanotechnologie de Lyon (INL), Lyon (France), 4 Jul. 2015.
- SI4. G. Larrieu, "Les nanofils pour les applications en nanoélectronique", Laboratoire de Photonique et de Nanostructures Nanotechnologies (LPN), Marcoussis (France), 3 dec. 2013.
- SI5. G. Larrieu, " Développement d'architecture nano-transistor à base de réseaux de nanofils

verticaux”, Institut des Matériaux, de Microélectronique et des Nanosciences de Provence (IN2MP), Marseille (France), 21 nov. 2011.

### **Brevets :**

- B1. “Procédé de fabrication d'un dispositif de transistor a effet de champ implémenté sur un réseau de nanofils verticaux, dispositif de transistor résultant, dispositif électronique comprenant de tels dispositifs de transistors, et processeur comprenant au moins un tel dispositif électronique”, G. Larrieu (100% IP), French patent, BFF10P0495, Nov. 2010. International application PCT filled (WO Patent 2,012,069,606) avec extension nationale (2013) au Japon, Corée du sud, USA et Europe.
- B2. “Procédé de fabrication de transistors mosfet complémentaires de type p et n, et dispositif électronique comprenant de tels transistors, et processeur comprenant au moins un tel dispositif ”, G. Larrieu (75% IP), E. Dubois (25% IP), French patent, Application #0852464, Submission #1000028406, April 11 2008. International application PCT/FR2009/050642, avec extension nationale au Japon, USA et Europe.

### **Conférences internationales avec comité de lecture et avec actes**

- CA1. G. Larrieu, Y. Guerfi, X.L. Han, N. Clement, “Vertical Field effect transistor with sub-15nm gate-all-around on Si nanowire array”, Proceedings of the 45 st European Solid-State Device Research Conference, ESSDERC'01, Graz, Austria, september 14-17, 2015, 1-4
- CA2. H.Kallel, A.Arbouet, P.Periwal, T.Baron, N.Klein, G.Larrieu, A.Chehaidar, V.Paillard, “Photoluminescence enhancement of a silicon nanocrystal plane placed in the near-field of a silicon nanowire” E-MRS Spring Meeting 2013, Strasbourg (France), 27-31 Mai 2013
- CA3. Y. Guerfi, F. Carcenac, G. Larrieu, “High resolution HSQ nanopillar arrays with low energy electron beam lithography”, , 38th International Conference on Micro & Nano Engineering, MNE 2012, Toulouse, France, september 16-20, 2012
- CA4. G. Larrieu, E. Dubois, D. Ducatteau, “CMOS integration using low thermal budget dopant-segregated metallic S/D junctions on thin-body SOI”, 220th ECS Meeting and Electrochemical Energy Summit, Boston, MA, USA, october 9-14, 2011.
- CA5. X.L. Han, G. Larrieu, P.F. Fazzini, E. Dubois “Realization of ultra-dense arrays of vertical silicon NWs with defect free surface and perfect anisotropy using a top-down approach” 36th International Conference on Micro & Nano Engineering, MNE 2010, Genoa, Italy, september 19-22, 2010 Microelectron. Eng., 88, 8 (2011) 2622-2624.
- CA6. A Laszcz, J. Ratajczak, A. Czerwinski, J Katcki, V. Srot, F. Philipp, P.A. Van Aken, D. Yarekha, N. Reckinger, G Larrieu, E Dubois “Characterization of ytterbium silicide formed in ultra-high vacuum”, 16th International Conference on Microscopy of Semiconducting Materials, MSM XVI, Oxford, UK, march 17-20, 2009,.
- CA7. N. Breil, A. Halimaoui, E. Dubois, LAMPIN E., GODET L., PAPASOULIOTIS G., G. Larrieu, T. Skotnicki, “Investigation on the platinum silicide Schottky barrier height modulation using a dopant segregation approach”, Materials Research Society Spring Meeting, MRS Spring 2008,

Symposium E : Doping Engineering for Front-End Processing, San Francisco, CA, USA, march 24-28, Mater. Res. Soc. Symp. Proc., **1070** (2008) 85-90.

- CA8. N. Breil, A. Halimaoui, E. Dubois, G. Larrieu, J. Ratajczak, G. Rolland, A. Pouydebasque, T. Skotnicki "An original selective etch of Pt vs PtSi using a low temperature germanidation process", Proceedings of the 211th Electrochemical Society Meeting, Chicago, IL, USA, may 6-10, 2007.
- CA9. F. Cornu-Frulleux, J. Penaud, E. Dubois, CORONEL P., G. Larrieu, N. Breil, DELILLE D., T. Skotnicki, "Dual silicide integration of low Schottky-barrier source-drain in a spacer-first damascene-metal-gate FinFET architecture", Proceedings of the 12th Silicon Nanoelectronics Workshop, SNW 2007, Kyoto, Japan, june 10-11, 2007
- CA10. R. Valentin, E. Dubois, J.P. Raskin, G. Dambrine, G. Larrieu, N. Breil, F. Danneville, "Investigations of high frequency performance of Schottky-barrier MOSFETs", Proceedings of the 7th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, SiRF 2007, Long Beach, CA, USA, january 10-12, 2007, 32-35, ISBN: 978-0-7803-9764-4, [doi: 10.1109/SMIC.2007.322762](https://doi.org/10.1109/SMIC.2007.322762)
- CA11. G. Larrieu, E. Dubois, R. Valentin, N. Breil, F. Danneville, G. Dambrine, PESANT J.C., "Low temperature implementation of dopant-segregated band-edge metallic S/D junctions in thin-body SOI p-MOSFETs", Proceedings of the 2007 IEEE International Electron Devices Meeting, IEDM 2007, Washington, DC, USA, december 10-12, 2007, 147-150, ISBN 978-1-4244-1508-3, [doi: 10.1109/IEDM.2007.4418886](https://doi.org/10.1109/IEDM.2007.4418886)
- CA12. A. Laszcz, J. Ratajczak, A. Czerwinski, J. Katcki, N. Breil, G. Larrieu, E. Dubois "TEM study of the silicidation process in Pt/Si and Ir/Si structures", Proceedings of the 15th International Conference on Microscopy of Semiconducting Materials, MSMXV, Cambridge, UK, april 2-5, 2007
- CA13. G. Larrieu, M. Tao, N. Mounen, E. Maldonado, W.P. Kirk, G. Song, W. Bai, D.L. Kwong "Effect of a Se monolayer on interface properties between Al<sub>2</sub>O<sub>3</sub> and n-type Si(100)", 208th ElectroChemical Society Meeting, Los Angeles, CA, USA, october 16-21, 2005, Trans. Electrochem. Soc., **1**, 5 (2006) 371, [doi: 10.1149/1.2209286](https://doi.org/10.1149/1.2209286)
- CA14. G. Larrieu, E. Dubois, X. Wallart, J. Katcki "Iridium silicide: a promising electrode for metallic source/drain in decananometer MOSFETs", 210th Meeting of the Electrochemical Society, Cancun, Mexico, october 29-november 3, 2006
- CA15. A. Laszcz, A. Czerwinski, J. Ratajczak, J. Katcki, N. Breil, G. Larrieu, E. Dubois "TEM study of iridium silicide contact layers for low Schottky barrier MOSFETs", European Materials Research Society Fall Meeting, Symposium on Phase Diagrams, Phase Stability, Theory and Applications, Warsaw, Poland, september 6-10, 2004
- CA16. A. Laszcz, J. Katcki, J. Ratajczak, A. Czerwinski, N. Breil, G. Larrieu, E. Dubois "TEM study of PtSi contacts layers for low Schottky barrier MOSFETs", European Material Research Society Spring Meeting, E-MRS - IUMRS - ICEM 06, Si-based Materials for Advanced Microelectronic Devices: Synthesis, Defects and Diffusion, Nice, France, may 29-june 2, 2006,
- CA17. WANG Y., CHABAL Y.J., HO M.T., WIELUNSKI L.S., GONCHAROVA L., GUSTAFSSON T., G. Larrieu, M. Tao, BOLESŁAWSKI M., MOUMEN N., "In-situ infrared absorption spectroscopy of HfO<sub>2</sub> growth by atomic layer deposition on Si(100) and Si(111)", Proceedings of the AVS 5th International Conference on Atomic Layer Deposition, ALD 2005, San Jose, CA, USA, august 8-10, 2005
- CA18. G. Larrieu, M. Tao, , N. Mounen, E. Maldonado, W.P. Kirk, G. Song, W. Bai, D.L. Kwong "Interfacial layer in the high-k dielectrics : characterization and suppression", Proceedings of the 208th Meeting of the Electrochemical Society, Los Angeles, CA, USA, october 16-21, 2005, abstract 543
- CA19. J. Katcki, J. Ratajczak, A. Laszcz, E. Dubois, G. Larrieu, X. Baie "Transmission electron microscopy of silicides used in ALSB-SOI MOSFET structure", Microscopy of Semiconducting Materials Conference, MSM 2003, Cambridge, MA, USA, april 2003, Inst. Phys. Conf. Series, **180** (2004) 479-

- CA20. J. Katcki, J. Ratajczak, A. Laszcz, F. Philipp, E. Dubois, G. Larrieu, X. Baie, X.H. Tang "Electron microscopy analysis of MOSFET structures", Proceedings of the 6th Symposium Diagnostics & Yield : Advanced Silicon Devices and Technologies for ULSI Era, D&Y 2003, Warszawa, Poland, june 22-25, 2003, 67-70.
- CA21. A. Laszcz, J. Katcki, J. Ratajczak, G. Larrieu, E. Dubois, X. Wallart, "Transmission electron microscopy of iridium silicide contacts for advanced MOSFET structures with Schottky source and drain", European Materials Research Society Fall Meeting, Warsaw, Poland, september 15-19, 2003, J
- CA22. G. Larrieu, E. Dubois, X. Wallart "Performance of Pt-based low Schottky barrier silicide contacts on weakly doped silicon", Materials Research Society Spring Meeting, Symposium D : CMOS Front-End Materials and Process Technology, San Francisco, CA, USA, april 21-25, 2003, Mater. Res. Soc. Symp. Proc., **765** (2003) D791-D796
- CA23. J. Katcki, J. Ratajczak, A. Laszcz, F. Philipp, E. Dubois, G. Larrieu, J. Penaud, X. Baie "Transmission electron microscopy analysis of silicides used in ALSB-SOI MOSFET structures", Conference on Microscopy of Semiconducting Materials, Cambridge, UK, march 31, 2003, Inst. Phys. Conf. Series, **180** (2003) 479-482, ISBN: 0-7503-0979-2
- CA24. X.H. Tang, J. Katcki, E. Dubois, J. Ratajczak, G. Larrieu, P. Loumaye, O. Nicole, V. Bayot, "Very low Schottky barrier to n-type silicon with PtEr-stack silicide", Proceedings of the 203rd Meeting of the Electro Chemical Society, Silicon-On-Insulator Technology and Devices, Paris, France, april 27-may 2, 2003, 99-104
- CA25. E. Dubois, G. Larrieu "Advanced source/drain architecture using very low Schottky barriers : device design and material engineering", Proceedings of the 31st European Solid-State Device Research Conference, ESSDERC'01, Nuremberg, Germany, september 11-13, 2001, 203-206
- CA26. E. Dubois, G. Larrieu "Low Schottky barrier source/drain for advanced MOS architecture : device, design and material consideration", Proceedings of the 2nd European Workshop on Ultimate Integration of Silicon, ULIS'2001, Grenoble, France, january 18-19, 2001, 53-56, ISBN 2-9514840-1-1

### **Conférences avec comité de lecture et sans actes :**

- CL1. B. Durand, A. Lecestre, L. Mazenq, P. Menini, G. Larrieu, "Highly sensitive 3D silicon nanowire sensors for ppb levels detection of NO<sub>2</sub>." Nanowires workshop 2015, 26-30 oct. Barcelona (Spain).
- CL2. A. Casanova, M.-C. Blatche, A. Lecestre, L. Mazenq, C. Ferre, E. Bonnaud, D. Gonzalez-Dunia, L. Nicu, G. Larrieu, "Development of nano-devices based on nanowires for intra-cellular recording.." Nanowires workshop 2015, 26-30 oct. Barcelona (Spain).
- CL3. A. Casanova, M.-C. Blatche, C. Ferre, E. Bonnaud, D. Gonzalez-Dunia, L. Nicu, G. Larrieu, "A novel self-aligned functionalization approach for neuronal network patterning at the cell level." Materials Research Society Fall Meeting, MRS Fall 2015, Boston.
- CL4. B. Durand, A. Lecestre, L. Mazenq, P. Menini, G. Larrieu, "3D silicon nanowire sensors for NO<sub>2</sub> detection down to ppb levels." Materials Research Society Fall Meeting, MRS Fall 2015, Boston.
- CL5. N. Klein, M. Collet, L. Sampaio, G. Larrieu, "Low Contact Resistance through Metal Alloy/ NW Interface", Materials Research Society Spring Meeting, MRS spring 2014, San Francisco.
- CL6. A. Lecestre, P. Dubreil, Y. Guerfi, F. Carcenac, R. Cipro, T. Baron, G. Larrieu, « Fabrication de réseaux de nanofils verticaux de GaAs sur substrat en Si(100) par une approche descendante », GDR Nanofils 2014 du 29 octobre au 31 octobre 2014, Toulouse (France), Octobre 2014.



- CL7. A. Casanova, M. C. Blatche, A. Lecestre, L. Mazenq, C. Ferre, E. Bonnaud, D. Gonzalez Dunia, L. Nicu, G. Larrieu, « Développement de nanosystèmes à base de nanofils pour l'adressage intra – neuronal », GDR Nanofils 2014 du 29 octobre au 31 octobre 2014, Toulouse (France), Octobre 2014.
- CL8. E. Daran, A. Lestras, A. Lecestre, S. Plissard, G. Larrieu, « Développement d'un procédé de nanoimpression thermique pour la réalisation grande échelle de réseau de nanofils III-V », GDR Nanofils 2014 du 29 octobre au 31 octobre 2014, Toulouse (France), Octobre 2014.
- CL9. G. Larrieu, X.L. Han, Y. Guerfi, C. Krzeminski, "Materials Issues for the Development of Scaled 3D Nanowire Transistors.", MRS Spring Meeting 2014, San Francisco (USA), Avril 2014
- CL10. S. Peruch, J.S. Bouillard, D. O'Connor, W. Dickson, G. Wurtz, A. Zayats, X.L. Han, T. Akalin, G. Larrieu, "Si-nanorod-based plasmonic metamaterials : modeling and experiment" European Conference on Lasers and Electro-Optics, CLEO Europe 2013, Munich, Germany, may 12-16, 2013, PAPER CE\_5\_4.
- CL11. G. Larrieu, X.L. Han, G. Patriarche, F. Cristiano, Y. Guerfi, M. Collet, "Investigation of silicide/silicon interfaces in nanowire based-nanocontacts", MRS Spring Meeting 2012, San Francisco (USA), 9-13 Avril 2012.
- CL12. N. Clement, G. Larrieu, E. Dubois, "Low-frequency noise in Schottky-barrier-based nanoscale field-effect transistors", MRS Spring Meeting 2012, San Francisco (USA), 9-13 Avril 2012.
- CL13. M. Collet, S. Salomon, F. Seichepine, Y. Coffinier, P. Caroff, L. Nicu,, C. Vieu, G. Larrieu, "Capillary-assisted dielectrophoresis as an innovative protocol to align nanowires at single-level", Materials Research Society Fall Meeting, MRS Fall 2011, Symposium FF : Mechanical nanofabrication, nanopatterning, and nanoassembly, Boston, MA, USA, november 28-december 2, 2011.
- CL14. X.L. Han, G. Larrieu, P.F. Fanzini, E. Dubois, Realization of ultra-dense arrays of vertical silicon NWs with defect free surface and perfect anisotropy using a top-down approach, 36th International Conference on Micro & Nano Engineering, MNE 2010, Genoa, Italy, september 19-22, 2010.
- CL15. X.L. Han, G. Larrieu, E. Dubois, "Fabrication and electrical characterization of dense vertical Si nanowires arrays", European Materials Research Society Spring Meeting, E-MRS Spring 2010, Symposium P: Science and technology of nanotubes, nanowires and graphene, Strasbourg, France, june 7-11, 2010.
- CL16. N. Clement, G. Larrieu, E. Dubois "Low-frequency noise in Schottky barriers based nanoscale field-effect transistors." Materials Research Society Spring Meeting, MRS Spring 2012, Symposium D : Nanocontacts - Emerging Materials and Processing for Ohmicity and Rectification, San Francisco, CA, USA, april 9-13, 2012.
- CL17. S. Plissard, G. Larrieu, K.A Dick, X. Wallart, P. Caroff, "Growth of aligned self-catalysed GaAs nanowires on Si(111) using a VLS mechanism", 5th Nanowire Growth Workshop, NWG 2010, Rome, Italy, november 4-5, 2010.
- CL18. S. Plissard, G. Larrieu, K.A Dick, X. Wallart, P. Caroff, "Growth of self-catalyzed GaAs nanowire arrays on Si", Thematic Days on Nanowires and Applications, GDR 2974, Villeneuve d'Ascq, France, january 20-21, 2011.
- CL19. J. Katcki, J. Ratajczak, A. Laszcz, F. Philipp, N. Reckinger, X.H. Tang, G. Larrieu, E. Dubois, "Electron microscopy of silicides formation in Schottky barrier contacts to electronic devices", XIII International Conference on Electron Microscopy, EM'2008, Cracow-Zakopane, Poland, june 8-11, 2008
- CL20. G. Larrieu, E. Dubois, D. Yarekha, N. Breil, N. Reckinger, X.H. Tang, J. Ratajczak, A. Laszcz "Impact of channel doping on Schottky barrier height and investigation on p-SB MOSFETs performance", European Materials Research Society Spring Meeting, E-MRS Spring 2008, Symposium I : Front-end junction and contact formation in future Silicon/Germanium based devices, Strasbourg, France, may 26-30, 2008
- CL21. D. Yarekha, G. Larrieu, E. Dubois, S. Godey, X. Wallart, C. Soyer, D. Remiens, N. Reckinger, X.H.



- Tang, A. Laszcz, J. Ratajczak "Investigation of the ytterbium silicide as low Schottky barrier source/drain contact material for n-type MOSFET", Journées Nationales sur les Technologies Emergentes en Micro-nanofabrication, JNTE 08, Toulouse, France, 19-21 novembre, 2008
- CL22. A. Laszcz, J. Ratajczak, A. Czerwinski, J. Katcki, V. Srot, F. Philipp, P.A. Van Aken, N. Breil, G. Larrieu, E. Dubois "Transmission electron microscopy study of the platinum germanide formation process in the Ge/Pt/SiO<sub>2</sub>/Si structure", European Materials Research Society Spring Meeting, E-MRS Spring 2008, Symposium I : Front-end junction and contact formation in future Silicon/Germanium based devices, Strasbourg, France, may 26-30, 2008
- CL23. G. Larrieu, M. Tao, "Impact of the intrinsic parameters of the dielectric on the leakage current", 2nd International Workshop on Advanced Gate Stack Technology, Austin, TX, USA, september 26-28, 2005
- CL24. A. Laszcz, J. Katcki, J. Ratajczak, A. Czerwinski, E. Dubois, G. Larrieu, X. Wallart "TEM characterisation of accumulation low Schottky barrier MOSFET with PtSi contacts", School on Materials Science and Electron Microscopy, Microscopy of Tomorrow's Industrial Materials, Berlin, Germany, october 3-8, 2005
- CL25. J. Penaud, F. Fruleux, E. Dubois, G. Larrieu, "Advanced and nanometric MOSFET architecture, multiple gate devices and Pi gates", MIGAS International Summer School on Advanced Microelectronics, MIGAS'04, Autrans, France, june 26-july 2, 2004
- CL26. F. Fruleux, J. Penaud, E. Dubois, G. Larrieu, "FinFET achievement : optimum e-beam lithography to etch dense silicon fins networks", MIGAS International Summer School on Advanced Microelectronics, MIGAS'04, Autrans, France, june 26-july 2, 2004.
- CL27. G. Larrieu, E. Dubois, « Transistor MOSFET Schottky en régime nanométrique », Journées Nationales Nanoélectronique, Aussois, France, 9-12 mai, 2004
- CL28. A. Laszcz, J. Katcki, J. Ratajczak, E. Dubois, G. Larrieu, X. Wallart, X.H. Tang, "Transmission Electron Microscopy analysis of MOSFET structures", School on Materials Science and Electron Microscopy, Emerging Microscopy for Advanced Materials Development-Imaging and Spectroscopy on Atomic Scale, Berlin, Germany, october 3-7, 2004
- CL29. E. Dubois, G. Larrieu, "Low Schottky barrier source/drain for advanced MOS architecture", Franco-Swedish Workshop on SOI, Grenoble, France, march 8-9, 2001

## **Chapitres ouvrages**

- 1- "Schottky Source/drain MOSFETs", E. Dubois, G. Larrieu, N. Reckinger, X Tang, , JP Raskin, M. Vinet, L. Hutin in Intelligent integrated systems: technologies, devices and architectures, Deleonibus S. (Ed), PAN STANFORD PUBLISHING (2013) Chap.2.
- 2- "Introduction to Schottky-barrier MOS architectures : concept, challenges, material engineering and device integration", E. Dubois, G. Larrieu, R. Valentin, N. Breil, F. Danneville, in Nanoscale CMOS : innovative materials, modeling and characterization, Balestra F. (Ed), ISTE-WILEY (2010) Chap 5, 157-204.

## **Vulgarisation et diffusion grand public (lien cliquable pour les diffusions en ligne):**

### **Assemblage dirigé de nanofils publié dans Advanced Materials 2015 :**

Actualité scientifique INSIS, Communiqué de presse régional CNRS.  
Techno science, Toulouse7,

### **Transistor 3D publié dans nanoscale 2013.**

Avec échange avec le journal :

Communiqué de presse CNRS (fr, en)

Journal CNRS international (magazine juillet 2013), IEEE spectrum (ligne + magazine may2013), les échos (ligne + journal 090413), l'usine nouvelle (ligne + papier mars 2013, 20 minutes (ligne + journal 070313) science et avenir (magazine avril 2013), I&T (mars13 et mai13), Le magazine du palais de la découverte (magazine mai-juin 2013).

Sans échange avec le journal:

EE Times [Europe](#) & [India](#), [Time magazine](#) (US), physorg (US) march13, [may13](#) , Kurzweil (US), Fontline (India) magazine 050413, Electronics news (Au), Innovationtoronto (Ca), World industrial reporter (US), Science daily (US), The engineer (UK), nanowerk (US), New electronics (UK), Automaticae instrumentacion (E), science.gouv.fr, direct Toulouse (journal 040313), Bulletin électronique, Energize, silicon.fr, RTF, newspress.fr...

## **Thèses**

Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique

G. Larrieu

Thèse de doctorat en Electronique, Université de Lille 1, 9 avril 2004

<https://iris.univ-lille1.fr/dspace/bitstream/1908/642/1/50376-2004-Larrieu.pdf>

## **4.3 ACTIVITES D'ENCADREMENT**

---

### **Doctorants :**

Xiang Lei Han (encadrement 100%), thèse soutenue le 30 septembre 2011 sujet : « 'Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux de silicium »,

Lauréat du prix gouvernemental chinois 2011 pour étudiants excellents à l'étranger et du prix RENATECH 2013.

Maéva Collet (encadrement 100%), thèse soutenue le 19 décembre 2013, sujet : « Localisation et adressage à grande échelle de nanofils semiconducteurs »

Naiara Klein (Co tutelle internationale 50%: Université de Rio (Pr Sampaio) – UPS LAAS encadrement 50%), thèse soutenue le 09 juillet 2015, sujet : « Nanofils Magnétiques et Semiconducteurs: Adressage, Caractérisation Electriques et Magnétiques et Applications. ».

Youssef Guerfi (encadrement 100%), soutenance prévue 10 décembre 2015, sujet : « Etude d'architecture nano-transistors à base de réseau de nanofils verticaux ».

Adrien Casanova (Co direction: Liviu Nicu (LAAS)), soutenance prévue automne 2016, sujet : « Interfaçage intra-neuronal par des nano-dispositifs à base de NFs ».

Brieux Durand (Co direction: Philippe Menini (LAAS)), soutenance prévue automne 2016, sujet : « Dispositifs à base de nanofils pour la détection de gaz »

Nicolas Mallet (encadrement 100%), soutenance prévue automne 2018, sujet : «nouvelle architecture MOS à base de nanofils III-V».

### **Masters :**

Valentin Sallaz (2015) : sujet « Caractérisation de transistors 3D à nanofils »

Arthur Lantreibecq (2013) : sujet « Electrical characterization of device made of bottom-up nanowires »

Yoan Veyrac (2012) : sujet « Etude de la faisabilité d'un capteur de gaz à base de nanofils semi-conducteurs »

Adrien Casanova (2012) : sujet « Réalisation et intégration de nanofils verticaux pour applications bio-détection »

Youssef Guerfi (2011) : sujet « Réalisation et caractérisation de contacts source/drain métalliques pour des architectures transistors sur nanofils verticaux. »

#### 4.4 TRAVAUX D'EXPERTISES

---

Je participe régulièrement à des travaux d'expertise pour des organismes:

**Expertises pour l'ANR**

Propositions de projets dans les appels PNANO, P2N, Blanc, Appel générique (défi 3)

**Expertises pour l'ANRT**

Dossiers CIFRE (Conventions Industrielles de Formation par la Recherche)

**Expertises pour la COFECUB**

Dossiers programme collaboratif France-Brésil

**Expertises pour AGIR (Alpes Grenoble Innovation Recherche)**

Dossiers AGIR - Programme Exploratoire

**Expert pour la Stratégie Nationale de Recherche en Technologies de Micro & Nano-fabrication (SNRT). (2010-2012)**

Membre du groupe thématique «Micro & Nanoélectronique»

**Comité de sélection Chaire d'excellence (2009)**

Membre du comité

Université Joseph Fourier, Grenoble, France

J'effectue des interventions régulières en tant que rapporteur/relecteur dans les revues :  
suivantes :

- Nanoscale (RCS)
- Trans. on Electron Devices (IEEE)
- Electron Device Letters (IEEE)
- Nanotechnology (IOP)
- Applied Physics Letters (AIP)
- Journal of Applied Physics (AIP)
- Journal of Vacuum Science&Tech (AVS)
- Journal of Electro. Soc. (ECS)

#### 4.5 VALORISATION

---

Les activités de valorisation concernent d'une part l'invention de 2 brevets (voir la liste bibliographique), et d'autre part la participation à des projets et à des contrats de recherche. Le tableau ci-dessous présente chronologiquement les projets et les contrats dans lesquels je suis intervenu depuis 2005.

Acronyme	Détails	Financier	Période	Collaboration	Rôle
#309673 OF	CVD and ALD HfO <sub>2</sub> on Se and Te passivated Si(100)	Sematech (US)	2004-2006	UTA Austin (D.-L. Kwong), AR Rutgers (Y. Chabal) and Sematech	- Représentation du consortium au review. - Organisation des rapports mensuels
Sinano	Silicon-based Nanodevices	EU IST	2003-2006	Réseau de plus de 20 universités et centres de recherche européens	Activité dans le volet “dispositif à S/D métallique »
METAMOS	METAllic source/drain. for Advanced MOS technology	EU FP6	2006-2009	ST Micro (F), NXP (F), UCL (B). USAL (ES), ITE (PL)	Contribution au montage du projet et forte activité dans les WP matériaux et dispositifs
NanoSil	Silicon-based Nano structures and Nanodevices	EU IST	2006-2009	Réseau de plus de 20 universités et centres de recherche européens	Activité dans le volet “dispositif à nanofil »
MOS 3D	Doctoral grant	French ministry of research	2011-2014	-	PI
DEP nanowires	Doctoral grant from ENS	ENS	2010-2013	-	PI
NanoTEC	Ecosystems technology and design for nanoelectronics	EU ICT	2010-2013	coordination action avec ICN, EPFL, Chalmers, VTT, TUDelf, ITE, Tyndall, Julich, IMEL	Projet prospectif pour identifier les concepts et technologies émergentes pour ICT ( <i>Beyond CMOS</i> )
Magnetic Nanowires	programme “Science without Borders”	CNPq (Brazil)	2012-2013	CBPF (Brésil)	Co-PI
Neuron on nanowires	Doctoral grant	ENS	2013-2016	CPTP Inserm	PI
Neuronano	Initiative d’excellence (IdEx) Programme transversalité	Université Fédérale Toulouse:	2013-2016	CPTP Inserm	Coordinateur Projet transversalité: Nanotechnologie and neuroscience.
MOSDIIA	SOurce and Drain engineering for sub-14nm MOS technology	Nano2017 MINEFE	2014-2017	STMicroelectronics. Applied Materials	Activité sur l’étude des contacts métalliques sur transistors FDSOI.
Nanoneuro ne	PEPS bioelectronique INSIS	CNRS	2015-2016		PI
NanoMitoX	Projet Region Biomédicale	Région Midi Pyrénées	2015-2018	CPTP Inserm CBD	Développement de plate-forme de dispositifs à nanofils pour un interfacement intraneuronal
MOS3D35	Projet DGA	DGA	2015-2018		PI : transistors MOS 3D à canal nanofil III-V





## 5 BIOBLIOGRAPHIE

---

- <sup>1</sup> K. Ng, W. T. Lynch, "Analysis of the gate-voltage-dependent series resistance of MOSFETs", IEEE Trans. on Electron Devices, vol. 33, pp. 965-972, 1986.
- <sup>2</sup> S.D. Kim, C.-M. Park, and J.C.S. Woo, 'Advanced Model and Analysis for Series Resistance in Sub-100nm CMOS Including Poly Depletion and Overlap Doping Gradient Effect', IEDM Tech. Dig., 2000
- <sup>3</sup> T. Skotnicki, "Materials and device structures for sub-32 nm CMOS nodes," Microelectronic Engineering, vol. 84, (2007) , pp. 1845-1852.
- <sup>4</sup> K. Varahramyan and E.J. Verret, "A model for specific contact resistance applicable for titanium silicide-silicon contacts," Solid-State Electronics, vol. 39, Nov. 1996, pp. 1601-1607.
- <sup>5</sup> F.A. Padovani, R. Stratton, "Field and Thermionic-Field emission in Schottky barriers", Solid-State Electronics 9, pp 695-707, 1966.
- <sup>6</sup> D. Connelly, C. Faulkner, D.E. Grupp, 'Performance advantage of Schottky source/ drain in ultrathin-body silicon-on-insulator and dual-gate CMOS', IEEE Trans. Electron Dev., 50, pp 1340-1345, 2003
- <sup>7</sup> Larrieu et al., J. Appl. Phys., **96**, 1 (2004) 729-737
- <sup>8</sup> Larrieu et al., J. Appl. Phys., **102**, 9 (2007) 094504-1-7.
- <sup>9</sup> Larrieu et al. Trans. Electrochem. Soc., **3**, 2 (2006) 123.
- <sup>10</sup> Yarekha, Larrieu et al., 215th Meeting of the Electrochemical Society, San Francisco, USA, May 2009.
- <sup>11</sup> Larrieu et al., 215th Meeting of the Electrochemical Society, San Francisco, USA, May 2009.
- <sup>12</sup> M. Tao, D. Udeshi, S. Agarwal, E. Maldonado, and W. P. Kirk, "Negative Schottky barrier between titanium and n-type Si(001) for low-resistance ohmic contacts," Solid State Electron., vol. 48, no. 2, pp. 335-338, Feb. 2004
- <sup>13</sup> B.Tsui, J. Tsai, and M. Chen, "Formation of PtSi-contacted p+n shallow junctions by BF<sub>2</sub><sup>+</sup> implantation and low-temperature furnace annealing", J. Appl. Phys., vol.69, pp.4354-4363, 1991.
- <sup>14</sup> B. Chen, M Chen, "Formation of cobalt silicided shallow junction using implant into/through silicide technology and low temperature furnace annealing", IEEE Trans. Electron Devices, vol. 43, pp 258-266, 1996.
- <sup>15</sup> T. Yamauchi, A. Kinoshita, Y. Tsuchiya, J. Koga, K. Kato, "1 nm NiSi/Si Junction design based on first-principles calculation for ultimately low contact resistance", IEDM Tech. Dig., pp. 385-388, 2006.
- <sup>16</sup> R.T. Tung, "Recent advances in Schottky barrier concepts", Materials Science and engineering R35, pp 1-138, 2001
- <sup>17</sup> R.L. Thornton, "Schottky-barrier elevation by ion implantation and implant segregation", Elec. Lett., vol. 12, p. 485-486, 1981.
- <sup>18</sup> M. Horiuchi, K. Yamaguchi, "SOLID-II: High-voltage high-gain kilo-Ångstrom-channel-length CMOSFET's using Silicide with self-aligned ultrashallow (3S) junction", IEEE Trans. Electron Devices, vol. 33, pp 260- 269, 1986
- <sup>19</sup> . Nagasawa, H. Okabayashi, M. Morimoto, "Mo- and Ti-silicided low-resistance shallow junctions formed using the ion implantation through metal technique", IEEE Trans. Electron Devices, vol. 34, pp 581- 586, 1987
- <sup>20</sup> F.C. Shone, K.C. Saraswat, J.D. Plummer, "Formation of 0.1 μm N+/P and P+/N junctions by doped silicide technology", IEDM Tech. Dig., p 407-410, December 1985.
- <sup>21</sup> R. Liu, D.S. Williams, W.T. Lynch, "Mechanisms for process-induced leakage in shallow silicided junctions", IEDM Tech. Dig., p 58- 61, December 1986.
- <sup>22</sup> J.F. Ziegler, "The Stopping and Range of Ions in Matter", www.srim.org, SRIM-2006, 2006.
- <sup>23</sup> E. Dubois, G. Larrieu, 'Measurement of low Schottky barrier heights applied to metallic source/ drain MOSFETs', J. Appl. Physics, vol. 96, no 1, pp 729-737, July 2004.

- 
- <sup>24</sup> Larrieu et al., Proceedings of the 2007 IEEE International Electron Devices Meeting, IEDM 2007, Washington, DC, USA, december 10-12, 2007, 147-150
- <sup>25</sup> Larrieu et al., J. Vac. Sci. Technol, B, Microelectron. process. phenom, **23**, 5 (2005) 2046-2050.
- <sup>26</sup> R. Valentin, E. Dubois, J.P. Raskin, G. Larrieu, G. Dambrine, T.C. Lim, N. Breil, F. Danneville "RF small signal analysis of Schottky-barrier p-MOSFETs", IEEE Trans. Electron Devices, 55, 5 (2008) 1192-1202
- <sup>27</sup> Larrieu et al. IEEE Trans. on Elect. Dev. 52, 2720-2726, Dec 2005.
- <sup>28</sup> Larrieu et al., Mater. Sci. Eng. B, Solid-State Mater. Adv. technol., **154-155** (2008) 159-162.
- <sup>29</sup> L. Hutin , M. Vinet , T. Poiroux , C. Le Royer, B. Previtali, C. Vizioz, D. Lafond, Y. Morand, M. Rivoire, F. Nemouchi, V. Carron, T. Billon, S. Deleonibus, and O. Faynot , "Dual Metallic Source and Drain Integration on Planar Single and Double Gate SOI CMOS down to 20nm: Performance and Scalability Assessment", Electron Devices Meeting, 2009. IEDM '09 pp. 45-48, 2009.
- <sup>30</sup> C. Urban, Q.T. Zhao, C. Sandow, M. Müller, U. Breuer, S. Mantl, "Schottky barrier height modulation by arsenic dopant segregation", in International Conference on Ultimate Integration of Silicon, pp 151-154, 2008.
- <sup>31</sup> C. Ko, H. Chen, T. Wang, T. Kuan, J. Hsu, C. Huang, C. Ge, L. Lai, and W. Lee, "NiSi Schottky Barrier Process-Strained Si (SB-PSS) CMOS Technology for High Performance Applications," VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on, pp. 80-81, 2006.
- <sup>32</sup> G. Larrieu et E. Dubois, brevet français, Application #0852464, Soumission #1000028406, 11 avril 2008
- <sup>33</sup> J.R. Hauser, "Noise Margin Criteria for Digital Logic Circuits", IEEE Trans. on Education, vol. 36, pp 363-368, November 1993.
- <sup>34</sup> R. Valentin, E. Dubois, G. Larrieu, J.P. Raskin, G. Dambrine, N. Breil, F. Danneville "Optimization of RF performance of metallic source/drain SOI MOSFETs using dopant segregation at the Schottky interface", IEEE Electron Device Lett., 30, 11 (2009) 1197-1199
- <sup>35</sup> N. Clement, G. Larrieu, E. Dubois, "Low-frequency noise in Schottky-barrier-based nanoscale field-effect transistors", IEEE Trans. Electron Devices, 59, 1 (2012) 180-187.
- <sup>36</sup> I. Ferain, C. Colinge and J.-P. Colinge, Nature, 2011, 479, 310–316.
- <sup>37</sup> T. Ernst et al. Intl. Electron Devices Meeting Tech. Dig., 2006, 663–666.
- <sup>38</sup> D.-L. Kwong, X. Li, Y. Sun, G. Ramanathan, Z. X. Chen, S. M. Wong, Y. Li, N. S. Shen, K. Buddhharaju, Y. H. Yu, S. J. Lee, N. Singh and G. Q. Lo, J. Nanotechnol., 2012, 2012, article ID 492121
- <sup>39</sup> E. Slot et al., "MAPPER: high throughput maskless lithography," in *Proceedings of SPIE, San Jose, CA, USA, 2008*, p. 69211P-69211P-9
- <sup>40</sup> X.L. Han, G. Larrieu, E. Dubois, Journal of Nanoscience and Nanotechnology, 10, (2010),7423-7427.
- <sup>41</sup> Y. Guerfi, F. Carcenac, G. Larrieu, Microelectronic Engineering, 110, (2013), 173-176.
- <sup>42</sup> X.L. Han, G. Larrieu, P.F. Fazzini, E. Microelectron. Eng., 88, 8 (2011) 2622-2624.
- <sup>43</sup> S. Plissard , K.A Dick, G. Larrieu, S. Godey, A. Addad, X. Wallart, P. Caroff, Nanotechnology, 21 (2010) 385602.
- <sup>44</sup> S. Plissard, G. Larrieu, X. Wallart, P. Caroff, Nanotechnology, 22 (2011) 275602
- <sup>45</sup> J. K. Lim, B. Y. Lee, M. L. Pedano, A. J. Senesi, J. W. Jang, W. Shim, S. Hong, C. A. Mirkin, Small 2010, 6, 1736.
- <sup>46</sup> P. A. Smith, C. D. Nordquist, T. N. Jackson, T. S. Mayer, , B. R. Martin, J. Mbindyo, T. E. Mallouk, *Appl. Phys. Lett.* **2000**, 77, 1399.
- <sup>47</sup> S. Raychaudhuri, S. A. Dayeh, D. Wang, E. T. Yu, Nano Lett. 2009, 9, 2260.
- <sup>48</sup> M. Li, et al. Nature Nanotech. 2008, 3, 88..
- <sup>49</sup> E. M. Freer, O. Grachev, X. Duan, S. Martin, D. P. Stumbo, *Nature Nanotech.* **2010**, 5, 525.
- <sup>50</sup> M. Collet et al., *Adv. Mater.*, 2015, 27, 1268–1273.
- <sup>51</sup> K. Khoshmanesh, S. Nahavandi, S. Baratchi, A. Mitchell, K. Kalantar-zadeh, Biosens. Bioelectron. 2011, 26, 1800.

- <sup>52</sup> M. De Volder, S. Tawfick, S.J. Park, D. Copic, Z. Zhao, W. Lu, A.J. Hart, "Diverse 3D microarchitectures made by capillary forming of carbon nanotubes", *Advanced Materials* 22, 4384-4389, 2010.
- <sup>53</sup> S. Tawfick, A.J. Hart and M. De Volder, "Capillary bending of Janus carbon nanotube micropillars" *Nanoscale.*, 4, 3852-3856, 2012.
- <sup>54</sup> M. De Volder, S. Tawfick, S.J. Park, A.J. Hart, "Corrugated carbon nanotube microstructures with geometrically tunable compliance", *ACS Nano*, 5, 7310-7317, 2011.
- <sup>55</sup> H. Duan, and K. Berggren, "Directed Self-Assembly by using capillary-force-induced nanocohesion," *Nano Letters*, 2010, 10, 3710-3716.
- <sup>56</sup> B. Pokroy, S. H. Kang, L. Mahadevan, and J. Aizenberg, "Self-organization of a mesoscale bristle into Ordered, hierarchical helical assemblies," *Science*, vol. 323, no. 5911, pp. 237 -240, Jan. 2009.
- <sup>57</sup> X.L. Han, G. Larrieu, en soumission
- <sup>58</sup> T. Tanaka, M. Morigami, and N. Atoda, "Mechanism of resist pattern collapse during development Process," *Japanese Journal of Applied Physics*, vol. 32, no. Part 1, No. 12B, pp. 6059-6064, Dec. 1993
- <sup>59</sup> C. Krzeminski, X.L. Han, G. Larrieu, *Appl. Phys. Lett.*, 100, 26 (2012) 263111-1-4.
- <sup>60</sup> D.-B. Kao, J. McVittie, W. Nix, and K. Saraswat, *IEEE Trans. Electron Devices* 35, 25 (1988).
- <sup>61</sup> V. Senez, D. Collard, B. Baccus, and J. Lebailly, *J. Appl. Phys.* 76, 3285 (1994).
- <sup>62</sup> C. S. Rafferty, L. Borucki, and R. W. Dutton, *Appl. Phys. Lett.* 54, 1516 (1989).
- <sup>63</sup> M. L. Falk and J. S. Langer, *Annu. Rev.* 2, 353 (2011).
- <sup>64</sup> H. Heidemeyer, C. Single, F. Zhou, F. E. Prins, D. P. Kern, and E. Plies, *J. Appl. Phys.* 87, 4580 (2000).
- <sup>65</sup> X.L. Han, G. Larrieu, C. Krzeminski, *Nanotechnology*, 24, 49 (2013) 495301.
- <sup>66</sup> Publication en cours de rédaction
- <sup>67</sup> F. Léonard, A. Talin "Electrical contacts to one- and two-dimensional nanomaterials", *Nature Nanotechnology* 6, 773–783 (2011)
- <sup>68</sup> X. Tang et al., "An electrical evaluation method for the silicidation of silicon nanowires," *Applied Physics Letters*, vol. 95, no. 2, p. 023106, 2009.
- <sup>69</sup> N. Klein et al. MRS spring meeting 2014, San Francisco
- <sup>70</sup> E. Dubois, G. Larrieu, *J. Appl. Phys.* 96 (1) (2004) 729.
- <sup>71</sup> X.L. Han, G. Larrieu, E. Dubois, F. Cristiano, *Surf. Sci.*, 606, 9-10 (2012) 836-839.
- <sup>72</sup> E. Dubois, G. Larrieu, *J. Solid State Electron.* 46 (2002) 997.
- <sup>73</sup> V. Schmidt, S. Senz, U. Gösele, *Appl. Phys. A* 86 (2007) 187.
- <sup>74</sup> I. Kimukin, M.S. Islam, R.S. Williams, *Nanotechnology* 17 (2006) S240
- <sup>75</sup> S. Ingole, P. Manandhar, S.B. Chikkannanavar, E.A. Akhadov, S.T. Picraux, *IEEE Trans. Electron. Dev.* 55 (2008) 11.
- <sup>76</sup> Y. Guerfi, JB Doucet, G. Larrieu, *Nanotechnology* 26 (2015) 425302.
- <sup>77</sup> G. Larrieu, X.L. Han, *Nanoscale*, 5, (2013) 2437–2441.
- <sup>78</sup> G. Larrieu (100% IP), French patent, BFF10P0495, Nov. 2010. International application PCT filled (WO Patent 2,012,069,606) avec extension nationale (2013) au Japon, Corée du sud, USA et Europe.
- <sup>79</sup> "Ring Around the Nanowire", *IEEE Spectrum* magazine avril 2013.
- <sup>80</sup> Auth, C. P.; Plummer, J. D. *IEEE Electron Dev. Lett.* **1997**, 18, 74–76.
- <sup>81</sup> Gundapaneni, S.; Ganguly, S.; Kottantharayil, A. *IEEE Electron Dev. Lett.* **2011**, 32, 1325-1327.
- <sup>82</sup> N Clément, XL Han, G Larrieu "Electronic transport mechanisms in scaled gate-all-around silicon nanowire transistor arrays" *Applied Physics Letters* 103 (26), 263504.
- <sup>83</sup> Y. Guerfi et al. Article en préparation
- <sup>84</sup> G. Larrieu et al. ESSDERC 2015.
- <sup>85</sup> K. Tomioka et al., *Nano Lett.* 8 (10), 3475–3480 (2008).
- <sup>86</sup> S. Plissard, et al., *Nanotechnology*, 22 275602 (2011) .
- <sup>87</sup> K. Tomioka, et al., *Nature*, 488, pp. 189–192 (2012) .

- 
- <sup>88</sup> M. Egard et al., *Nano Lett.*, 10 (3), pp 809, (2010).
- <sup>89</sup> C. Thelander et al., *IEEE Trans. on Elec. Dev.* 55(11), 3030-3036, (2008).
- <sup>90</sup> X.L. Han, G. Larrieu et al. *Microelectronic Engineering*, 88, (2011), 2622-2624.
- <sup>91</sup> S. Plissard, G. Larrieu et al. *Nanotechnology*, 22, (2011) 275602.
- <sup>92</sup> G. Larrieu, XL Han, *Nanoscale* 5, (2013) 2437–2441
- <sup>93</sup> Bucher, D. & Goillard, J. M. *Prog. Neurobiol.* 94, 307–346 (2011).
- <sup>94</sup> Debanne, D. *Nat. Rev. Neurosci.* 5, 304–316 (2004).
- <sup>95</sup> P. Fromherz et al., *Phys. Rev. Lett.* 71, 4079–4082, 1993.
- <sup>96</sup> F. Patolsky et al., *Science*, 313(5790), pp. 1100 – 1104, Aug. 2006.
- <sup>97</sup> B. Tian et al., *Science*, 329 (5993), pp. 830 - 834, Aug. 2010.
- <sup>98</sup> J. Robinson et al., *Nature Nanotechnology* 7, 180–184 (2012)
- <sup>99</sup> N. S. Ramgir et al, *Small*, vol. 6, 1705–1722, 2010
- <sup>100</sup> P. Bondavalli et al, *Sens. Actuators B Chem.*, vol. 140, 304–318, 2009
- <sup>101</sup> D. Zhang et al, *Nano Lett.*, vol. 4, 1919–1924, 2004
- <sup>102</sup> M. C. McAlpine et al, *Nat. Mater.*, vol. 6, 379–384, 2007
- <sup>103</sup> Y.-J. Choi, I.-S. Hwang, J.-G. Park, K. J. Choi, J.-H. Park, and J.-H. Lee, *Nanotechnology*, 19( 9), 095508 (2008)
- <sup>104</sup> Y.-S. Kim, I.-S. Hwang, S.-J. Kim, C.-Y. Lee, and J.-H. Lee, *Sens. Actuators B Chem.*, 135(1), 298 (2008).
- <sup>105</sup> J. Wan, S.-R. Deng, R. Yang, Z. Shu, B.-R. Lu, S.-Q. Xie, Y. Chen, E. Huq, R. Liu, and X.-P. Qu, *Microelectron. Eng.*, 86( 4–6) 1238(2009).
- <sup>106</sup> P. Offermans, M. Crego-Calama, S. H. Brongersma, *Nano Lett.*, 2010, 10 (7), 2412.

---

## RÉSUMÉ

---

Lors des 40 dernières années, la technologie CMOS a permis une véritable révolution dans le traitement de l'information, sans cesse améliorée grâce à la diminution continue des dimensions des composants. L'évolution récente a conduit à la réduction des dimensions critiques des transistors tendant vers des points de blocage (rapidité, mécanismes physiques régis par des effets de surface, perte de contrôle électrostatique...) imposant des efforts accrus pour faire émerger des solutions technologiques alternatives. Dans ce contexte, deux architectures particulières seront présentées : (i) transistors MOS à contacts source/drain métalliques permettant un fonctionnement limitant les chutes de tension au niveau des zones d'accès et (ii) des transistors à nanofils à une grille enrobante offrant un contrôle électrostatique du canal optimal tout en minimisant l'encombrement. Dans un deuxième temps, des perspectives de recherche seront déclinées sous deux axes : (i) transistors 3D à nanofils III-V pour des applications faiblement énergivores pour les nœuds technologiques sub-7nm et (ii) dispositifs à nanofils pour les applications de détection biochimiques.